

# PiD6502 4A/6A 隔离式双通道栅极驱动器

## 1 特性

- 通过 DT 引脚可方便配置为半桥驱动，双通道低边驱动，双通道高边驱动或相互独立的双通道隔离驱动
- 通过外部电阻设置半桥拓扑的硬件死区时间，为系统提供有效保护
- DT 引脚监测芯片虚焊或悬空状态，响应保护机制，防止功率器件受损
- 宽体 SOW14/SOW16，窄体 SOP16 及小尺寸 LGA13 封装可选
- 4A 峰值拉电流能力及 6A 峰值灌电流能力
- 共模瞬态抗扰度 (CMTI) 大于 150V/ns
- 高达 35V 的宽输出侧电源电压范围
- 针对所有电源提供 UVLO 保护功能
- 多版本不同 UVLO 阈值可选
  - 8.5V/12.5V/6.0V/17.6V 分别对应 A/B/C/D 版本
- 结温范围：-40 至 150°C
- 开关特性参数：
  - 45ns 传播延时典型值
  - 5ns 脉宽失真
  - 18us VDD 上电延时
- 快速 Disable 响应

## 2 应用领域

- 服务器电源，通信电源
- 逆变器
- 高压直流/直流转换器
- 高压交流/直流转换器
- 车载电池充电器
- 马达驱动

## 3 说明

PiD6502 是一款具有宽输出侧电源电压范围，宽温度范围，以及可编程死区时间的隔离式双通道/半桥栅极驱动芯片。具有 4A 峰值拉电流及 6A 峰值灌电流的能力，用于驱动功率 MOSFET、IGBT、SiC、GaN 等功率器件，为系统提供更多的安全保障。

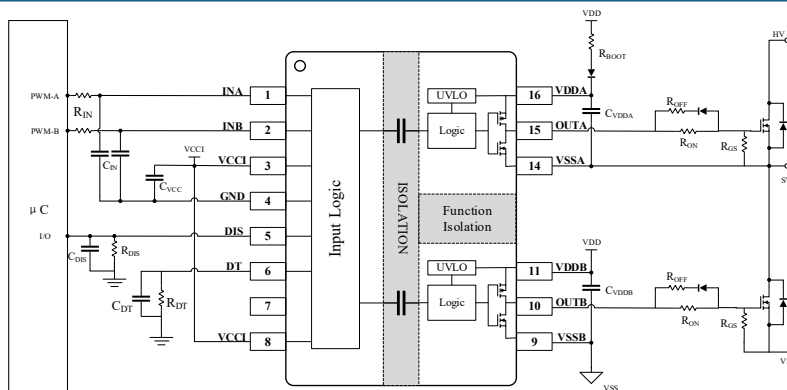
PiD6502 通过将 DT 连接至 VCCI 或通过电阻下拉至 GND 可实现双通道/半桥模式的切换。同时，通过高质量的隔离栅设计和工艺实现可靠隔离，其  $V_{ISO}$  耐压等级高达  $5kV_{RMS}$  (SOW14/SOW16)， $3kV_{RMS}$  (SOP16)， $2.5kV_{RMS}$  (LGA13)。另外 PiD6502 采用特有的设计技术提高其抗干扰能力，其共模瞬态抗扰度 (CMTI) 高达 150V/ns 以上，同时具有低电磁辐射和低边沿过充特性，提高系统电磁兼容性。

PiD6502 包含多重保护功能：可编程死区时间、DT 虚焊或悬空检测和保护功能、输出禁用控制功能、输入尖峰滤波器、输入侧及输出侧欠压保护功能等。

PiD6502 作为一款高性能栅极隔离驱动，凭借高性能、多保护、高可靠，可应用在工业、汽车等多种复杂的功率器件驱动系统中。

### 器件信息

器件型号	封装形式	UVLO
PiD6502AW, PiD6502AK, PiD6502AP, PiD6502AL	SOW14, SOW16, SOP16, LGA13	8.5V/8.0V
PiD6502BW, PiD6502BK, PiD6502BP, PiD6502BL	SOW14, SOW16, SOP16, LGA13	12.5V/11.5V
PiD6502CW, PiD6502CK, PiD6502CP, PiD6502CL	SOW14, SOW16, SOP16, LGA13	6.0V/5.7V
PiD6502DW, PiD6502DK, PiD6502DP, PiD6502DL	SOW14, SOW16, SOP16, LGA13	17.6V/16.6V



典型应用原理图

## 目录

<b>1</b>	<b>特性</b>	<b>1</b>
<b>2</b>	<b>应用领域</b>	<b>1</b>
<b>3</b>	<b>说明</b>	<b>1</b>
<b>4</b>	<b>引脚定义及功能</b>	<b>4</b>
<b>5</b>	<b>规格参数</b>	<b>6</b>
5.1.	绝对最大额定值	6
5.2.	抗静电能力 (ESD) 等级	6
5.3.	推荐工作条件	6
5.4.	热性能信息	6
5.5.	功耗	6
5.6.	绝缘参数	7
5.7.	电性能参数	7
5.8.	开关特性参数	8
5.9.	共模瞬态抗扰度 (CMTI) 等级	9
5.10.	典型特性曲线	9
<b>6</b>	<b>参数测试参考电路及时序图</b>	<b>12</b>
6.1.	传播延时、脉宽失真与延迟匹配	12
6.1.1.	测试电路	12
6.1.2.	时序图	12
6.2.	使能开关与输出响应时间	13
6.2.1.	测试电路	13
6.2.2.	时序图	13
6.3.	可编程死区时间	14
6.3.1.	测试电路	14
6.3.2.	时序图	14
6.4.	UVLO 触发/恢复到输出响应的延迟时间	15
6.5.	共模瞬态抗扰度 (CMTI)	16
6.5.1.	测试电路	16
<b>7</b>	<b>功能及特性说明</b>	<b>16</b>
7.1.	概述	16
7.2.	功能框图	17
7.3.	保护及特性	17
7.3.1.	欠压保护 (UVLO) 与有源下拉	17
7.3.2.	输入输出逻辑真值表	17
7.3.3.	输入引脚特性	18
7.3.4.	输出引脚特性	18
7.3.5.	ESD 结构	18
7.4.	器件功能	18
7.4.1.	使能引脚 (DIS)	18
7.4.2.	可编程死区时间引脚 (DT)	18
<b>8</b>	<b>典型应用参考方案</b>	<b>20</b>
8.1.	参考方案原理图	20
8.2.	外围器件选型建议及应用注意	21

8.2.1.	输入电容选型.....	21
8.2.2.	输入信号滤波器.....	21
8.2.3.	DT 外围器件选型.....	21
8.2.4.	输出电阻选型.....	22
8.2.5.	GS 电阻选型.....	22
8.2.6.	功率路径处理.....	22
<b>9</b>	<b>封装信息.....</b>	<b>23</b>
<b>10</b>	<b>包装和卷带信息.....</b>	<b>26</b>
<b>11</b>	<b>订购信息.....</b>	<b>29</b>

## 4 引脚定义及功能

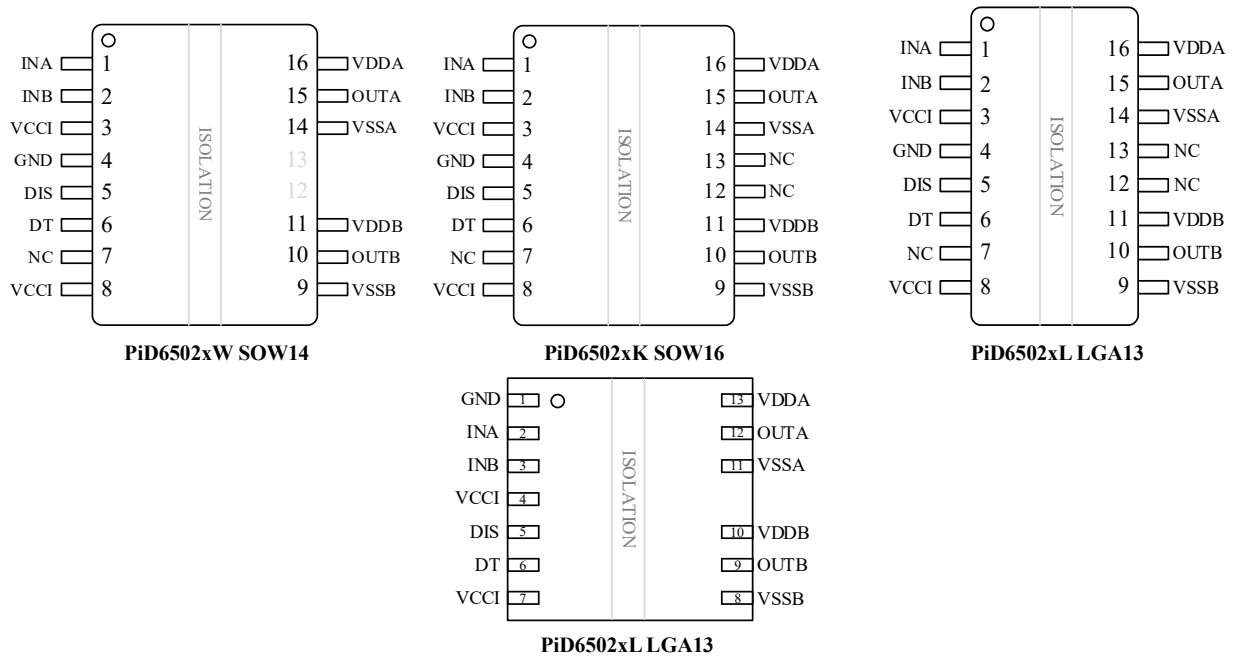


图 4-1 引脚配置

封装与 PIN 脚				引脚名	类型 <sup>(1)</sup>	功能描述
SOW14	SOW16	SOP16	LGA13			
1	1	1	2	INA	I	用于控制 A 通道的输入信号。INA 兼容 3.3V/5V 输入信号，内部由 90kOhm 电阻下拉至 GND。
2	2	2	3	INB	I	用于控制 B 通道的输入信号。INB 兼容 3.3V/5V 输入信号，内部由 90kOhm 电阻下拉至 GND。
3, 8	3, 8	3, 8	4, 7	VCCI	P	输入侧电源电压。支持 3.3V/5V 电源电压。推荐采用低 ESD/ESL 的电容靠近引脚放置，以增强系统供电稳定性。
4	4	4	1	GND	G	输入侧地。
5	5	5	5	DIS	I	输出禁用控制引脚。在 DIS 被设置为高电平时，禁用 A/B 通道的输出，此时 OUTA/B 不会响应 INA/B 输入的任何信号。直到 DIS 被设置为低电平时，A/B 通道才允许开始输出，并恢复响应 INA/INB 的输入信号。DIS 内部由 90kOhm 电阻上拉至 VCCI。在不使用此引脚时，建议外部将其短接至参考地 GND。
6	6	6	6	DT	I/O	死区时间配置脚位。DT 引脚根据不同配置有以下几种模式： <ul style="list-style-type: none"> <li>DT 短接至 VCCI。双通道模式，此时死区时间被禁用，OUTA/OUTB 完全跟随 INA/INB 信号动作，允许 A/B 通道输出交叠。</li> <li>DT 悬空。此时芯片检测到 DT 状态为 Floating，触发 DT 悬空保护，禁用 A/B 通道输出，防止虚焊等情况致使功率器件损坏。</li> <li>DT 通过电阻连接至 GND。此时芯片处于可编程死区状态，通过调整电阻大小可以配置死区时间，具体配置方法及参考公式详见 <a href="#">可编程死区时间引脚 (DT)</a> 章节。</li> </ul>
7	7, 12, 13	7, 12, 13	/	NC	-	无内部连接。
9	9	9	8	VSSB	G	输出侧 B 通道参考地。B 通道所有信号均以此为基准。
10	10	10	9	OUTB	O	B 通道驱动器输出。通过驱动电阻与外部晶体管的栅极连接，用于控制晶体管

						通断。
11	11	11	10	VDDB	P	输出侧 B 通道电源电压。推荐采用低 ESD/ESL 的电容靠近引脚放置，以增强系统供电稳定性。
14	14	14	11	VSSA	G	输出侧 A 通道参考地。A 通道所有信号均以此为基准。
15	15	15	12	OUTA	O	A 通道驱动器输出。通过驱动电阻与外部晶体管的栅极连接，用于控制晶体管通断。
16	16	16	13	VDDA	P	输出侧 A 通道电源电压。推荐采用低 ESD/ESL 的电容靠近引脚放置，以增强系统供电稳定性。

(I) I=Input, 输入引脚; O=Output, 输出引脚; P=Power, 电源引脚; G=Ground, 参考地引脚。

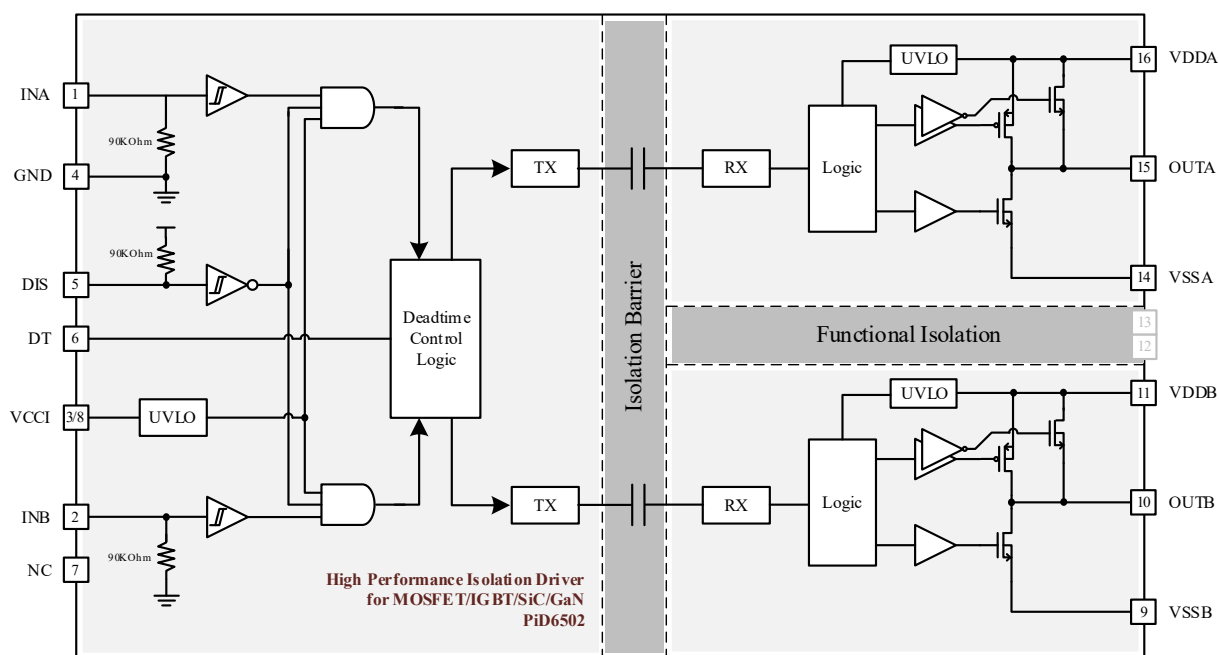


图 4-2 功能框图

## 5 规格参数

### 5.1. 绝对最大额定值

参数	描述	最小值	最大值	单位
输入侧电源电压	VCCI-GND	-0.3	6	V
输出侧电源电压	VDDA-VSSA, VDDB-VSSB	-0.3	35	V
输入信号电压	INA/INB/DIS/DT-GND	-0.3	VCCI+0.3 <sup>(2)</sup>	V
输出信号电压	OUTA-VSSA, OUTB-VSSB	-0.3	VDDA/B+0.3	V
通道间隔离电压	SOW14 封装中, VSSA 对 VSSB 双向	-2000	2000	V
结温	T <sub>J</sub>	-40	150	°C
贮存温度	T <sub>stg</sub>	-65	150	°C
焊接温度 <sup>(3)</sup>	T <sub>SOL</sub>		260	°C

(1) 绝对最大额定值是器件耐受外部条件的最大值, 对器件施加超出绝对最大额定值的应力可能导致器件的永久性损坏。长期暴露在绝对最大额定值条件下可能会影响器件的可靠性, 且可能缩短器件寿命。

(2) 最大电压不得超过 6V。

(3) 依据标准 JEDEC J-STD-002。

### 5.2. 抗静电能力 (ESD) 等级

参数	符号及描述		数值				单位	
			SOW14	SOW16	SOP16	LGA13		
静电放电能力	V <sub>(ESD)</sub>	人体放电模型(HBM)	PIN1~PIN8	±8000	±8000	±8000	±4000	V
			PIN9~PIN16	±4000	±4000	±4000	±4000	V
	充电设备模型(CDM)	All PIN	±1000	±1000	±1000	±1000	V	

### 5.3. 推荐工作条件

参数	描述	最小值	最大值	单位
输入侧电源电压	VCCI-GND	3.0	5.5	V
输出侧电源电压	VDDA-VSSA, VDDB-VSSB (PiD6502A)	9.0	28	V
	VDDA-VSSA, VDDB-VSSB (PiD6502B)	13.0	28	V
	VDDA-VSSA, VDDB-VSSB (PiD6502C)	6.5	28	V
	VDDA-VSSA, VDDB-VSSB (PiD6502D)	18.5	28	V
结温	T <sub>J</sub>	-40	150	°C

### 5.4. 热性能信息

参数	符号及描述		数值			单位
			SOW14/SOW16	SOP16	LGA13	
热阻	R <sub>θJA</sub>	结至环境的热阻	74	81	209	°C/W

### 5.5. 功耗

符号	参数	测试条件	数值	单位
P <sub>D</sub>	总体功耗	VCCI=5V, VDDA/B=20V, INA/B=0-5V, 500kHz PWM, CL=0pF	117.5	mW
P <sub>DI</sub>	输入侧功耗		47.5	mW
P <sub>DA</sub> , P <sub>DB</sub>	输出侧(单驱动器)功耗		35	mW

## 5.6. 绝缘参数

符号	参数	测试条件	数值				单位
			SOW14	SOW16	SOP16	LGA13	
CLR	外部间隙	两侧端子间的最短空间距离	8	8	4	3.5	mm
CPG	外部爬电距离	两侧端子间的最短封装表面距离	8	8	4	3.5	mm
DTI	绝缘穿透距离	最小内部间隙	18				μm
$V_{IOTM}$	最大瞬态隔离电压	$V_{TEST}=V_{IOTM}$ , 测试时长 $t=60s$ (鉴定测试); $V_{TEST}=1.2 \times V_{IOTM}$ , 测试时长 $t=1s$ (100%生产测试);	7071	7071	4242	3535	$V_{PK}$
$V_{IMP}$	最大脉冲电压	在空气中测试, 1.2/50μs 波形, 依据 IEC 62368-1 标准	6000	6000	3500	2500	$V_{PK}$
$V_{IOSM}$	最大浪涌隔离电压	$V_{IOSM} \geq 1.3 \times V_{IMP}$ ; 在油中测试 (鉴定测试), 1.2/50μs 波形, 依据 IEC 62368-1 标准	8000	8000	6500	3500	$V_{PK}$
$Q_{pd}$	视在电荷	在 I/O 安全测试分组 2/3 后, 依据 IEC 60747-17 标准, 采用方法 a, $V_{pd(m)}=1.2 \times V_{IORM}$ , $t_m=10s$	$\leq 5$				pC
		在环境测试分组 1 后, 依据 IEC 60747-17 标准, 采用方法 a, $V_{pd(m)}=1.6 \times V_{IORM}$ , $t_m=10s$	$\leq 5$				
		常规测试及预处理过程, 依据 IEC 60747-17 标准, 采用方法 b1, $V_{pd(m)}=1.875 \times V_{IORM}$ , $t_m=1s$	$\leq 5$				
$V_{ISO}$	可重复承受隔离电压	$V_{TEST}=V_{ISO}$ , 测试时长 $t=60s$ , 鉴定测试 $V_{TEST}=1.2 \times V_{ISO}$ , 测试时长 $t=1s$ , 100% 生产测试	5000	5000	3000	2500	$V_{RMS}$
$R_{IO}$	隔离电阻	$V_{IO}=500V$ , $T_A=25^\circ C$	$>10^{12}$				Ω

## 5.7. 电性能参数

除非另有说明, 否则测试条件为  $V_{VCCI}=3.3V$  或  $5V$ ,  $V_{VDDA}=V_{Vddb}=20V$ ,  $C_{Load}=0pF$ ,  $T_A=-40^\circ C$  至  $125^\circ C$ , 典型值在  $T_A=25^\circ C$  时测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
电源电流 (VCCI、VDDA、Vddb)						
$I_{VCCI-Q}$	输入侧静态电流	$V_{INA}=V_{INB}=0V$ , DIS=GND, $V_{VCCI}=3.3V$		1.0		mA
		$V_{INA}=V_{INB}=0V$ , DIS=GND, $V_{VCCI}=5V$		1.2		mA
$I_{VCCI}$	输入侧工作电流	INA/B 输入互补的 PWM 波, $f_{sw}=500kHz$ , DIS=GND, $V_{VCCI}=3.3V$		4.6		mA
		INA/B 输入互补的 PWM 波, $f_{sw}=500kHz$ , DIS=GND, $V_{VCCI}=5V$		4.8		mA
		$V_{INA}=V_{INB}=3.3V$ , DIS=GND, $V_{VCCI}=3.3V$		9		mA
		$V_{INA}=V_{INB}=5V$ , DIS=GND, $V_{VCCI}=5V$		9.5		mA

$I_{VDDA/B-Q}$	输出侧静态电流	$V_{INA/B}=0V, DIS=GND$		0.9		mA
$I_{VDDA/B}$	输出侧工作电流	INA/B 输入 PWM 波, $f_{sw}=500kHz,$ DIS=GND		1.75		mA
		$V_{INA/B}=V_{VCCI}, DIS=GND$		0.95		mA
<b>输入侧电源欠压保护参数 (VCCI UVLO)</b>						
$V_{VCCI\_ON}$	上升阈值			2.7		V
$V_{VCCI\_OFF}$	下降阈值			2.5		V
$V_{VCCI\_HYS}$	阈值迟滞			0.2		V
$t_{VCCI+to\ OUT}$	导通延迟			35		$\mu s$
$t_{VCCI-to\ OUT}$	关闭延迟			3		$\mu s$
$t_{VCCIFIL}$	抗尖峰滤波			3		$\mu s$
<b>输出侧电源欠压保护参数 (VDDA/B UVLO)</b>						
$V_{VDDA/B\_ON}$	上升阈值	PiD6502A		8.5		V
$V_{VDDA/B\_OFF}$	下降阈值			8		V
$V_{VDDA/B\_HYS}$	阈值迟滞			0.5		V
$V_{VDDA/B\_ON}$	上升阈值	PiD6502B		12.5		V
$V_{VDDA/B\_OFF}$	下降阈值			11.5		V
$V_{VDDA/B\_HYS}$	阈值迟滞			1		V
$V_{VDDA/B\_ON}$	上升阈值	PiD6502C		6.0		V
$V_{VDDA/B\_OFF}$	下降阈值			5.7		V
$V_{VDDA/B\_HYS}$	阈值迟滞			0.3		V
$V_{VDDA/B\_ON}$	上升阈值	PiD6502D		17.6		V
$V_{VDDA/B\_OFF}$	下降阈值			16.6		V
$V_{VDDA/B\_HYS}$	阈值迟滞			1		V
$t_{VDDA/B+to\ OUT}$	导通延迟			18		$\mu s$
$t_{VDDA/B-to\ OUT}$	关闭延迟			3		$\mu s$
$t_{VDDA/BFIL}$	抗尖峰滤波			3		$\mu s$
<b>输入信号 (INA、INB、DIS)</b>						
$V_{INA/B\_H}, V_{DIS\_H}$	输入高电平阈值	$V_{CCI}=5V$		2		V
		$V_{CCI}=3.3V$		1.5		V
$V_{INA/B\_L}, V_{DIS\_L}$	输入低电平阈值	$V_{CCI}=5V$		1.3		V
		$V_{CCI}=3.3V$		0.8		V
$V_{INA/B\_HYS}, V_{DIS\_HYS}$	输入阈值迟滞			0.7		V
$R_{INA/B-G}$	INA/B 引脚下拉电阻			90		k $\Omega$
$R_{DIS-P}$	DIS 引脚上拉电阻			90		k $\Omega$
<b>输出信号 (OUTA、OUTB)</b>						
$I_{OUTA+}, I_{OUTB+}$	输出拉电流峰值	$C_{Load}=0.22\mu F, f=1kHz$		-4		A
$I_{OUTA-}, I_{OUTB-}$	输出灌电流峰值	$C_{Load}=0.22\mu F, f=1kHz$		6		A
$R_{DSON\_H}$	输出侧上管导通阻抗	$I_{OUTA/B} = -50mA$		4		$\Omega$
$R_{DSON\_L}$	输出侧下管导通阻抗	$I_{OUTA/B} = 50mA$		0.8		$\Omega$
$V_{OUTPD}$	输出引脚有源下拉	$I_{OUTA/B} = 200mA, V_{DDBA/B}$ 悬空		2		V

## 5.8. 开关特性参数

除非另有说明, 否则测试条件为  $V_{VCCI}=3.3V$  或  $5V$ ,  $V_{VDDA}=V_{Vddb}=20V$ ,  $C_{Load}=0pF$ ,  $T_A=-40^{\circ}C$  至  $125^{\circ}C$ , 典型值在  $T_A=25^{\circ}C$  时测得。

参数	符号	测试条件	最小值	典型值	最大值	单位
$t_{RISE}$	输出上升时间	$C_{Load}=1.8nF, VDDA/B=12V$		15		ns
$t_{FALL}$	输出下降时间	$C_{Load}=1.8nF, VDDA/B=12V$		6		ns
$t_{PDLH}$	上升沿传播延时	$f_{sw}=500kHz$ , 至输出上升沿 10%时测得		45		ns
$t_{PDHL}$	下降沿传播延时	$f_{sw}=500kHz$ , 至输出下降沿 90%时测得		45		ns
$t_{DM}$	传播延时匹配	$DT=VCCI, INA=INB=PWM, f_{sw}=500kHz,  t_{PDLHA} - t_{PDLHB} ,  t_{PDHLA} - t_{PDHLB} $		1.4		ns
$t_{PWD}$	脉宽失真	脉冲宽度=100ns, $f_{sw}=500kHz,  t_{PDLHA} - t_{PDHLA} ,  t_{PDLHB} - t_{PDHLB} $		0.4		ns
$t_{PD\_DIS\_HL}$	使能响应开通延迟	DIS 输入脉宽=100ns, 500kHz PWM 信号		60		ns
$t_{PD\_DIS\_LH}$	使能响应关断延迟	DIS 输入脉宽=100ns, 500kHz PWM 信号		60		ns

5.9. 共模瞬态抗扰度 (CMTI) 等级

符号	参数	测试条件	最小值	典型值	最大值	单位
$CMTI_H$	高电平共模瞬态抗扰度	$V_{CM}=1500V$		150		V/ns
$CMTI_L$	低电平共模瞬态抗扰度	$V_{CM}=1500V$		150		V/ns

5.10. 典型特性曲线

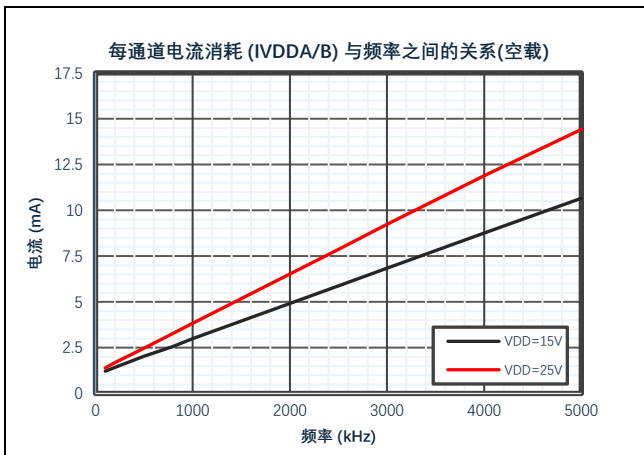


图 5-1 每通道电流消耗 (IVDDA/B) 与频率间的关系(空载)

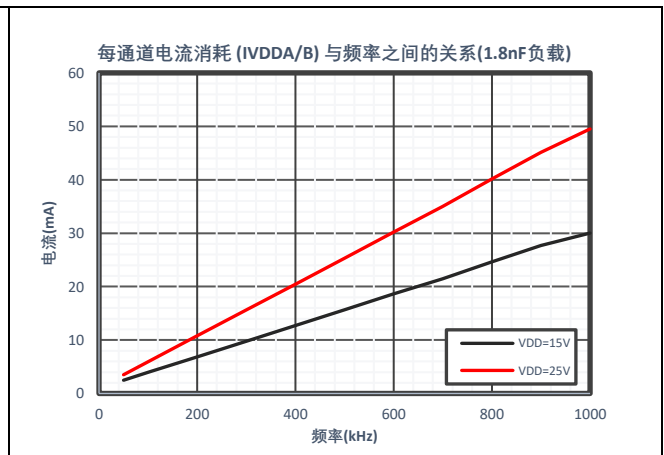


图 5-2 每通道电流消耗 (IVDDA/B) 与频率间的关系(1.8nF 负载)

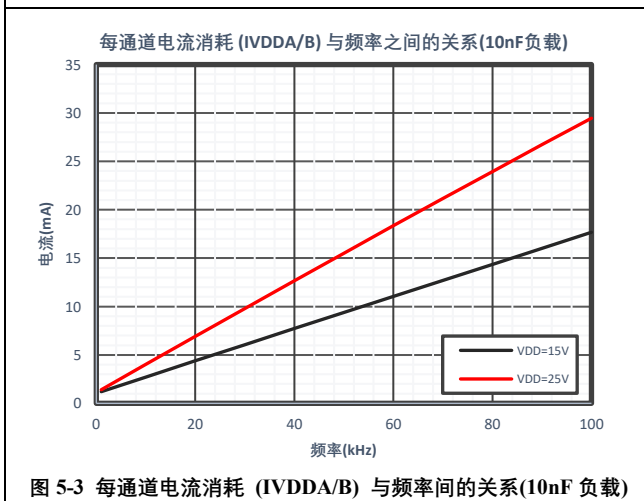


图 5-3 每通道电流消耗 (IVDDA/B) 与频率间的关系(10nF 负载)

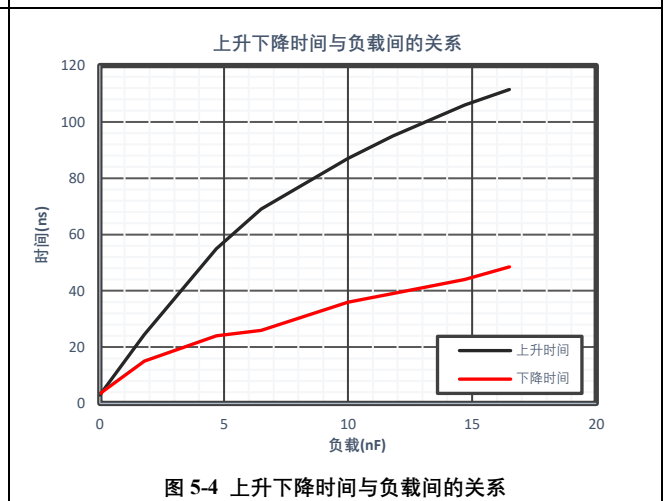


图 5-4 上升下降时间与负载间的关系

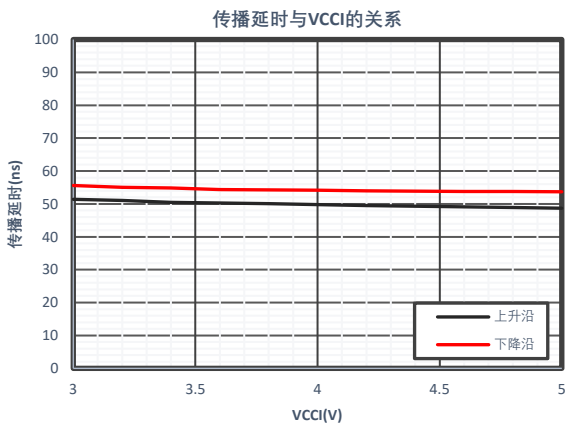


图 5-5 传播延时与 VCCI 的关系

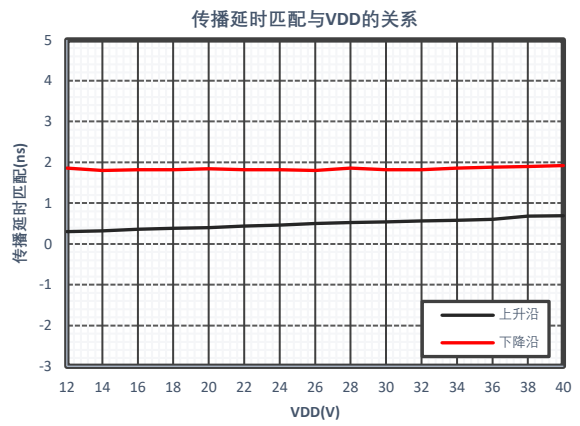


图 5-6 传播延时匹配与 VDD 的关系

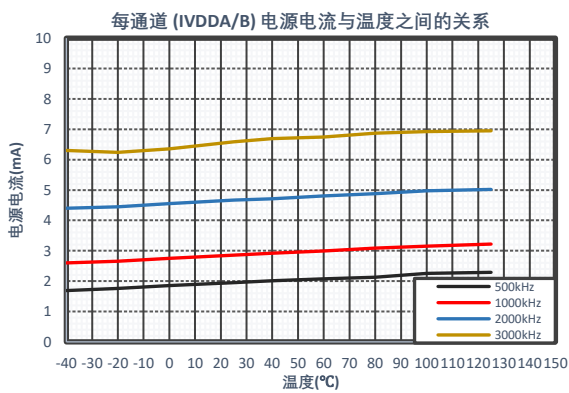


图 5-7 每通道 (IVDDA/B) 电源电流与温度之间的关系

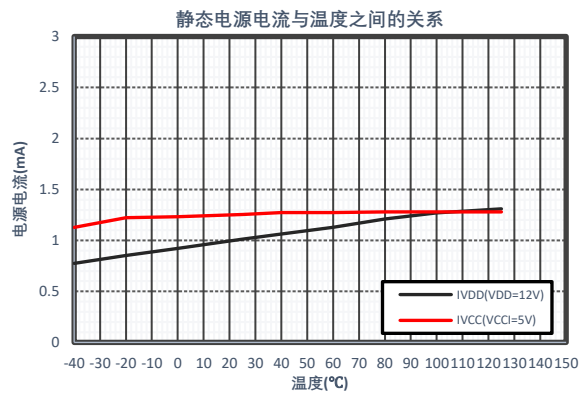


图 5-8 静态电源电流与温度之间的关系

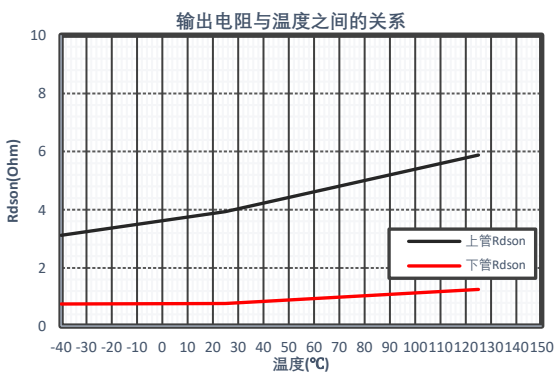


图 5-9 输出电阻与温度之间的关系

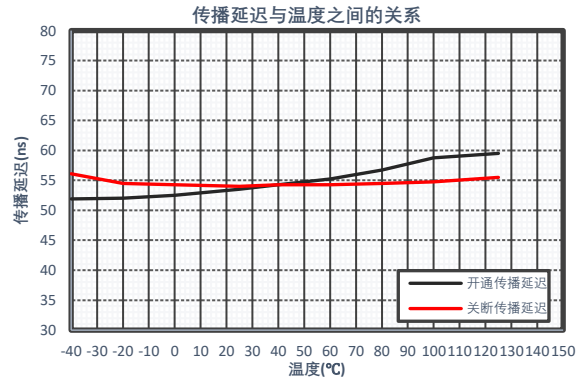


图 5-10 传播延迟与温度之间的关系

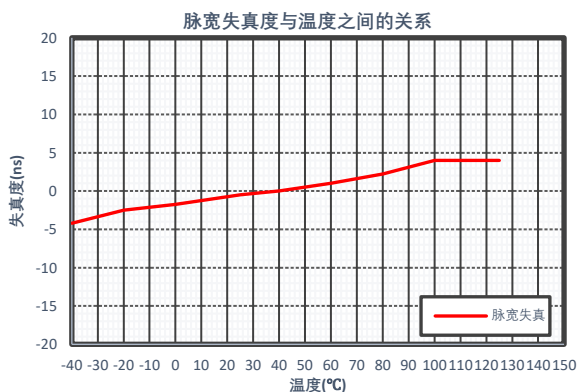


图 5-11 脉宽失真度与温度之间的关系

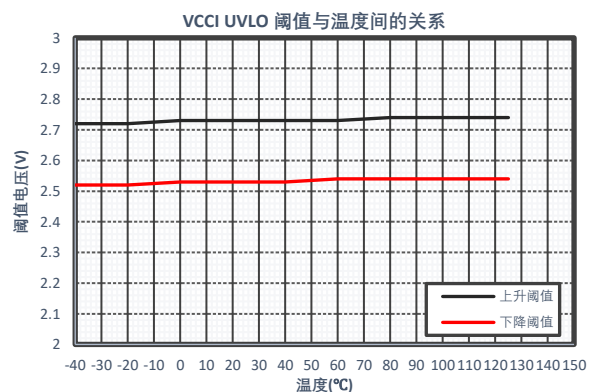


图 5-12 VCCI UVLO 阈值与温度间的关系

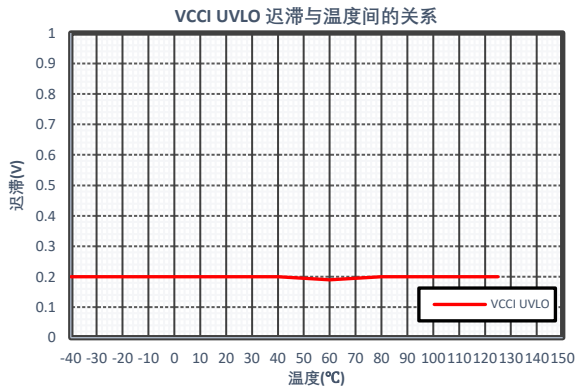


图 5-13 VCCI UVLO 迟滞与温度间的关系

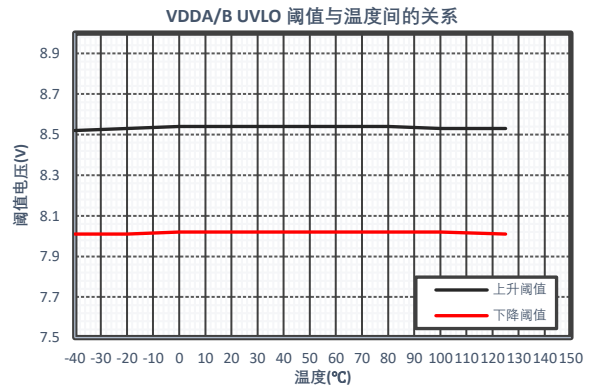


图 5-14 VDDA/B UVLO 阈值与温度间的关系

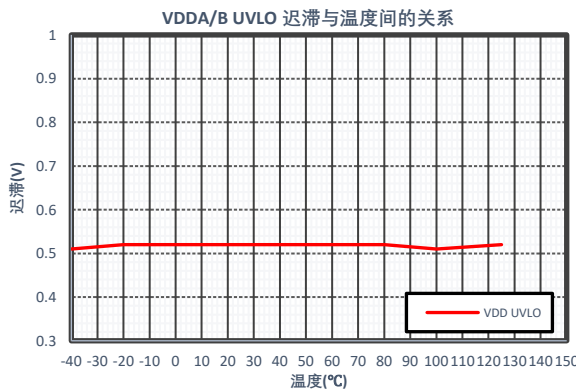


图 5-15 VDDA/B UVLO 迟滞与温度间的关系

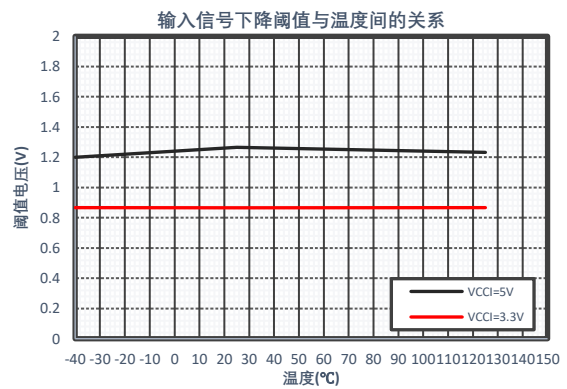


图 5-16 输入信号下降阈值与温度间的关系

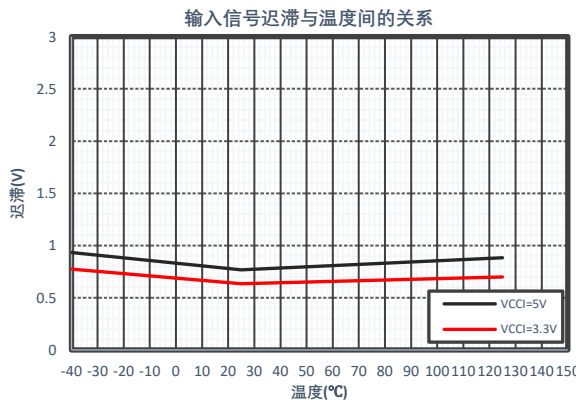


图 5-17 输入信号迟滞与温度间的关系

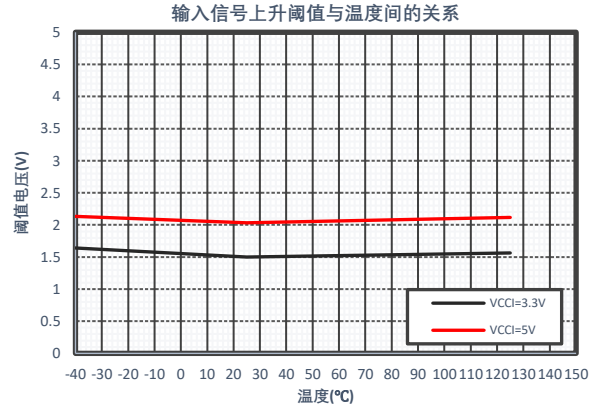


图 5-18 输入信号上升阈值与温度间的关系

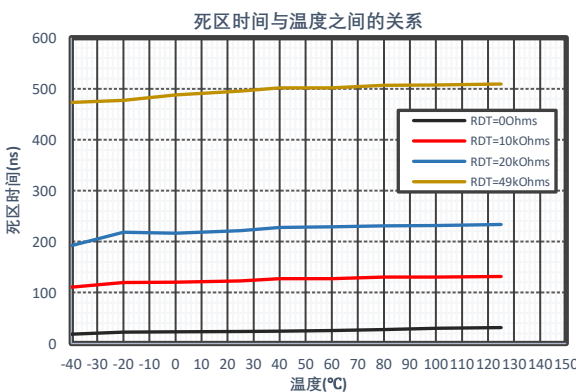


图 5-19 死区时间与温度之间的关系

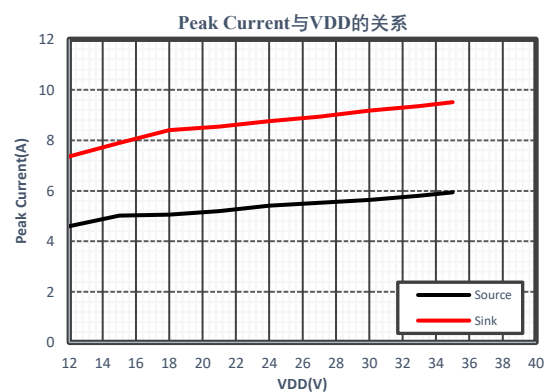
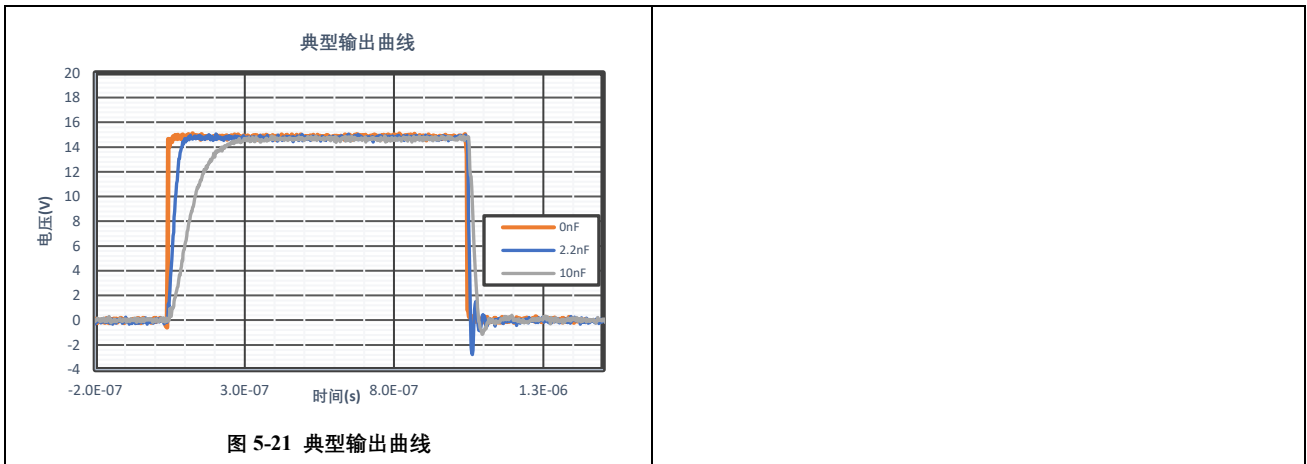


图 5-20 Peak Current 与 VDD 间的关系



## 6 参数测试参考电路及时序图

### 6.1. 传播延时、脉宽失真与延迟匹配

传播延时匹配  $t_{DM}$  与脉宽失真度  $t_{PWD}$  是用于标识 A/B 通道信号传播完整性和一致性的重要参数，这两个参数可以通过对传播延时的测量和计算得到，下述提供了一种测试方法供参考。

#### 6.1.1. 测试电路

图 6-1 显示了传播延时、脉宽失真与传播延迟匹配的测试电路。

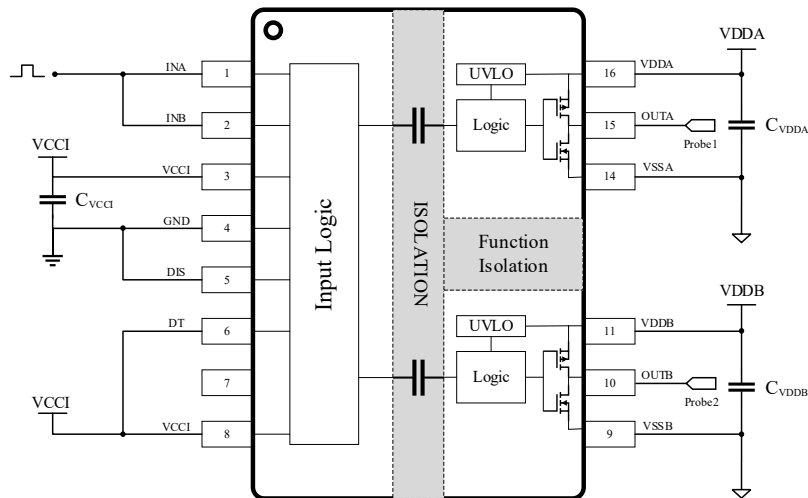


图 6-1 传播延时、脉宽失真与传播延迟匹配的测试电路

在此测试电路中，需注意 DT PIN 需要上拉至 VCCI，以禁用芯片死区时间，使得 A/B 通道输出信号可完全响应 INA/B 输入信号，并可以出现交叠。另外，在测试时建议 INA/B 在尽可能好的短接情况下使用同一输入信号，以确保测试时芯片 A/B 通道接收到的信号是一致的。

#### 6.1.2. 时序图

通过图 6-1 展示的测试电路，可以得到传播延时、脉宽失真与传播延迟匹配的时序图如图 6.2 所示。

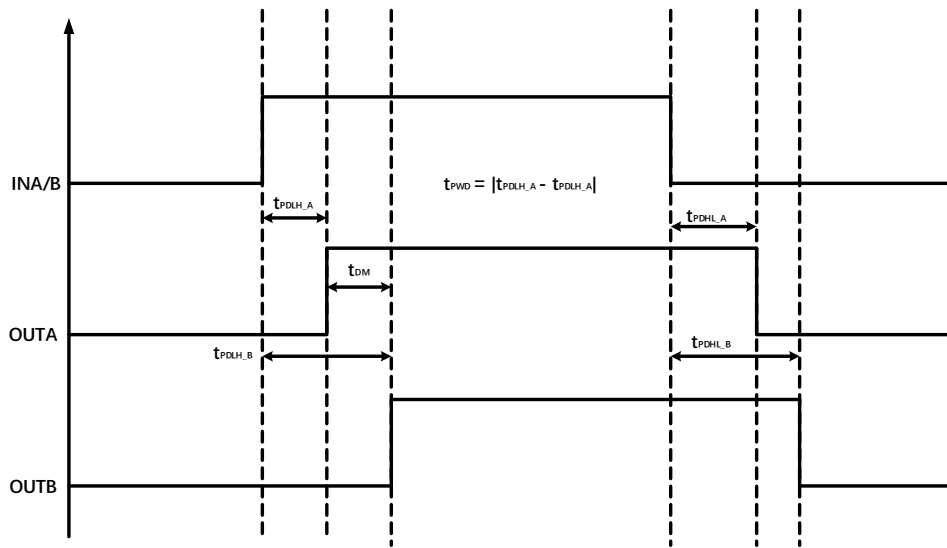


图 6-2 传播延时、脉宽失真与传播延迟匹配的时序图

其中，传播延时匹配  $t_{DM}$  的值为 A 通道与 B 通道同一边沿响应输入信号时间差的绝对值，图 6-2 中以上升沿为例画出了测量示意图，在实际测试中，对上升沿或下降沿均可测得传播延时匹配参数；脉宽失真  $t_{PWD}$  的值为 A/B 通道上升沿传播延迟与下降沿传播延迟时间差的绝对值。

## 6.2. 使能开关与输出响应时间

使能引脚 DIS 用于控制是否允许芯片输出，从允许芯片输出到芯片开始输出的时间称作使能响应时间，对其下述提供了一种测试方法供参考。

### 6.2.1. 测试电路

图 6-3 显示了使能响应时间的测试电路。

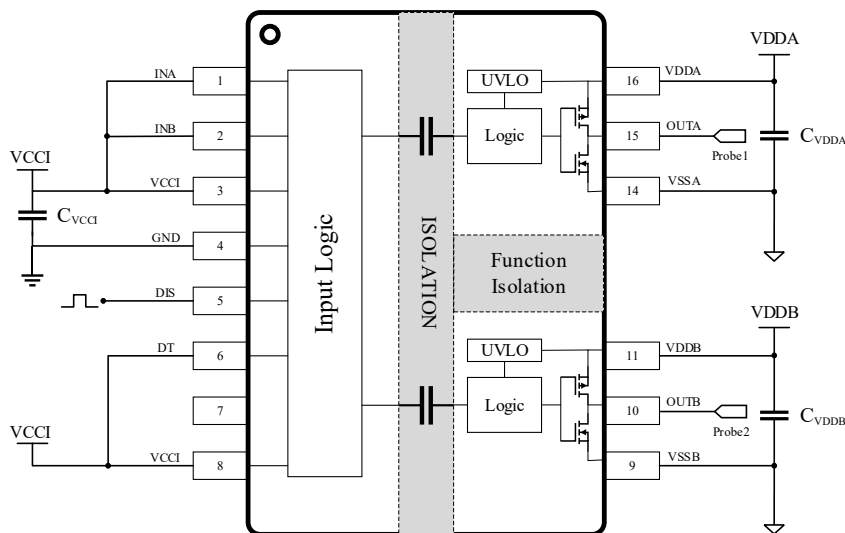


图 6.3 使能响应时间的测试电路

### 6.2.2. 时序图

通过图 6-3 展示的测试电路，可以得到使能响应时间的时序图如图 6-4 所示。

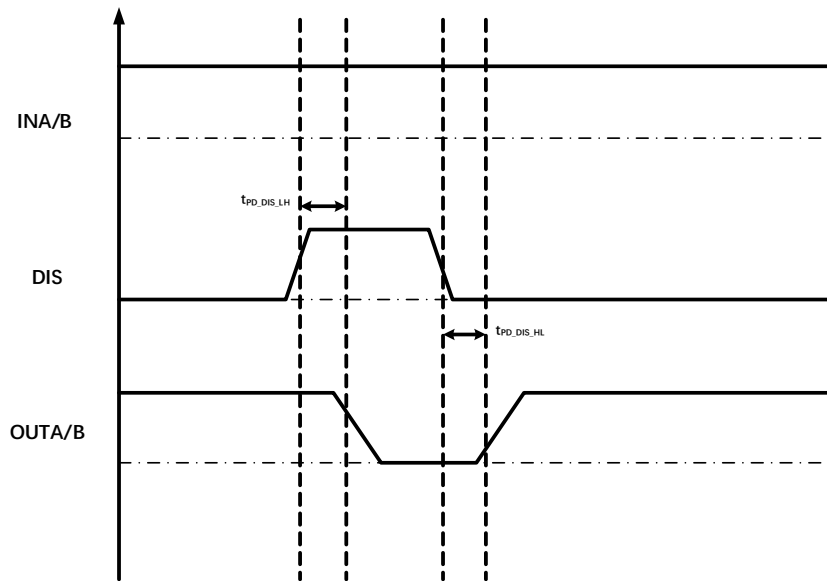


图 6-4 使能响应时间的时序图

### 6.3. 可编程死区时间

通道间的死区时间可以通过在 DT PIN 脚外串联电阻连接到 GND 来进行配置，对其下述提供了一种测试方法供参考。

#### 6.3.1. 测试电路

图 6-5 显示了死区时间的测试电路。

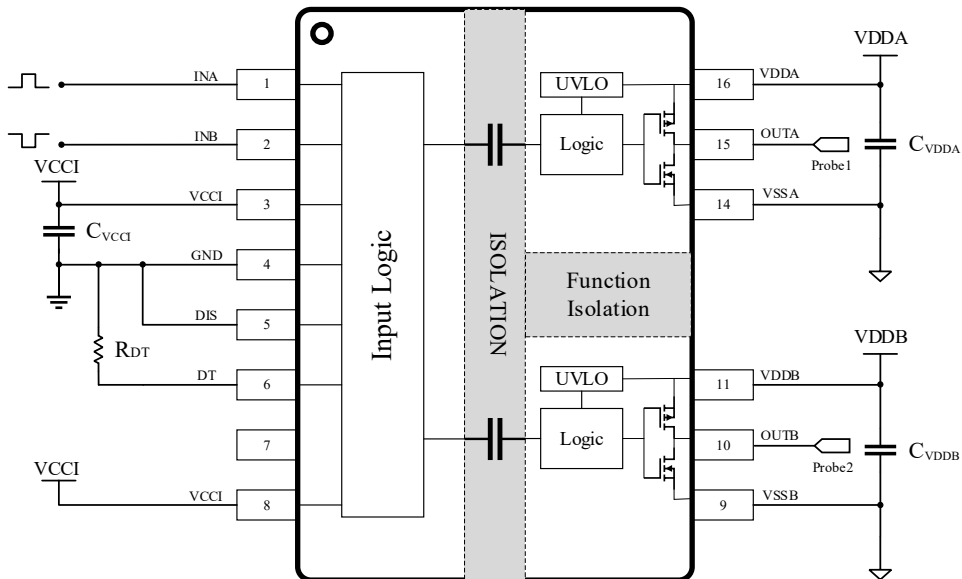


图 6-5 死区时间的测试电路

其中，DT PIN 脚外部通过串联电阻连接至 GND，INA 和 INB 输入互补的 PWM 波，通过测量 OUTA 和 OUTB 间的输出间隔来得到死区时间。

#### 6.3.2. 时序图

通过图 6-5 展示的测试电路，可以得到死区时间的时序图如图 6-6 所示。

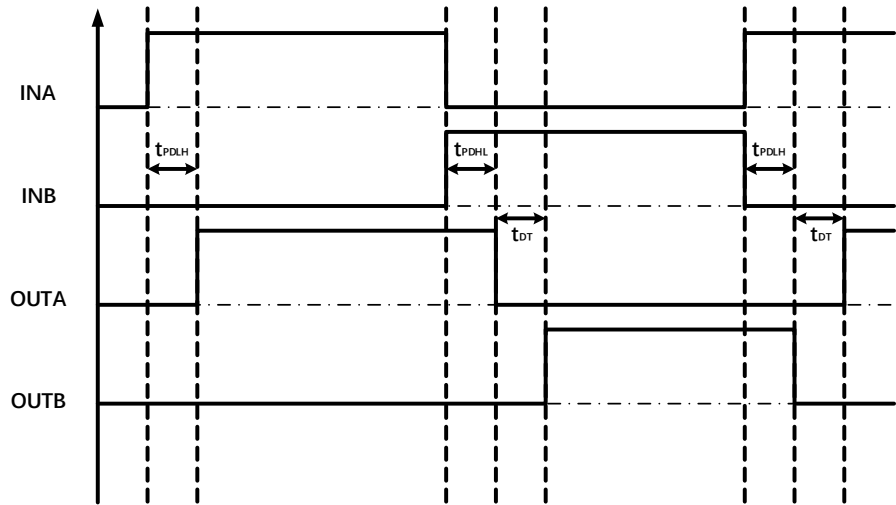


图 6-6 死区时间的时序图

#### 6.4. UVLO 触发/恢复到输出响应的延迟时间

当电源电压  $V_{CCI}$  或  $V_{DDA}/V_{ddb}$  出现穿越 UVLO 阈值的变化时，PiD6502 设置了相应的输出响应延时时间以确保芯片在异常状态下的安全工作。对于  $V_{CCI}UVLO$ ，其上电 UVLO 到输出导通延迟时间 ( $t_{V_{CCI}+toOUT}$ ) 典型值为 35 $\mu$ s；对于  $V_{DDA}/B UVLO$ ，其上电 UVLO 到输出导通延迟时间 ( $t_{V_{DDx}+toOUT}$ ) 典型值为 18 $\mu$ s。出于安全性考虑，建议在芯片上电后到输入信号 PWM 启动前留出适当的时间以确保后续器件的稳定工作。UVLO 触发/恢复到输出响应的延迟时间的时序图如图 6-7、图 6-8 所示。

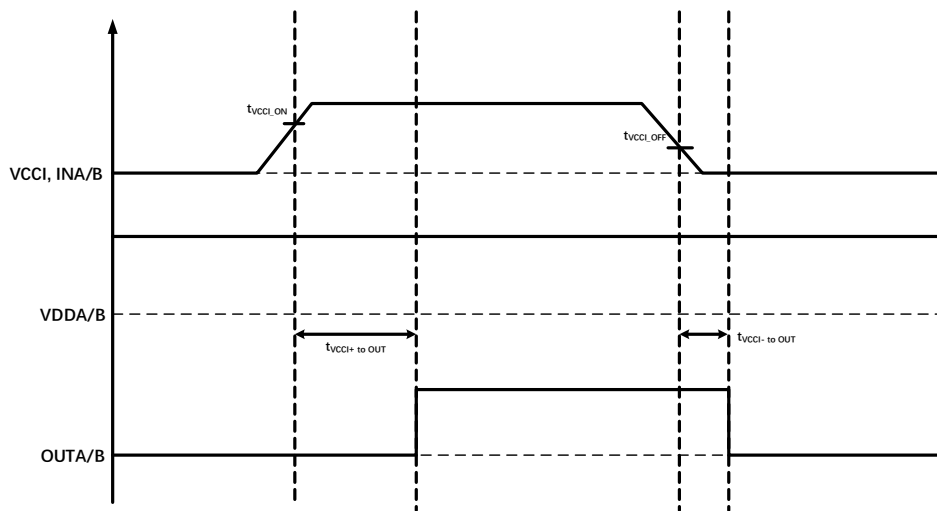


图 6-7  $V_{CCI}UVLO$  触发/恢复到输出响应的延迟时间

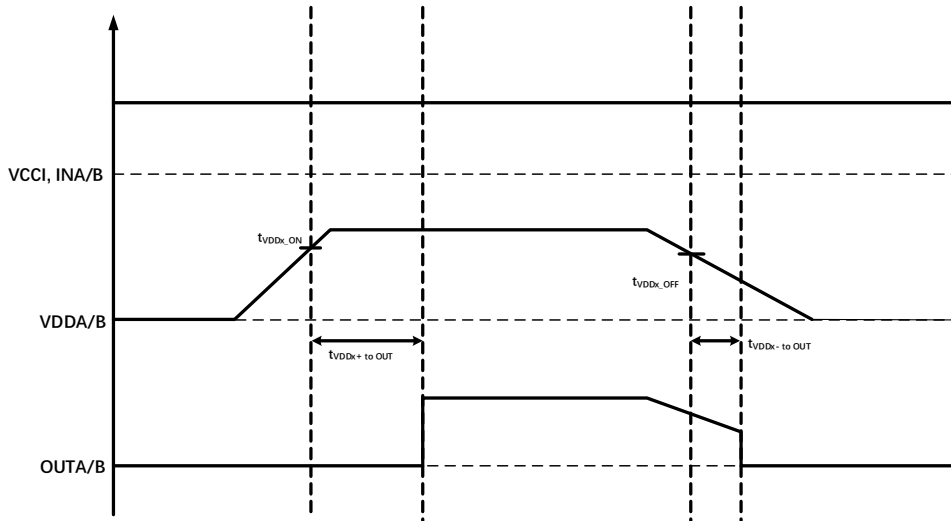


图 6-8 VDDA/B UVLO 触发/恢复到输出响应的延迟时间

### 6.5. 共模瞬态抗扰度 (CMTI)

共模瞬态抗扰度 (CMTI) 测试旨在衡量芯片对快速变化的共模瞬态干扰的抵抗程度，参考测试方法如下。

#### 6.5.1. 测试电路

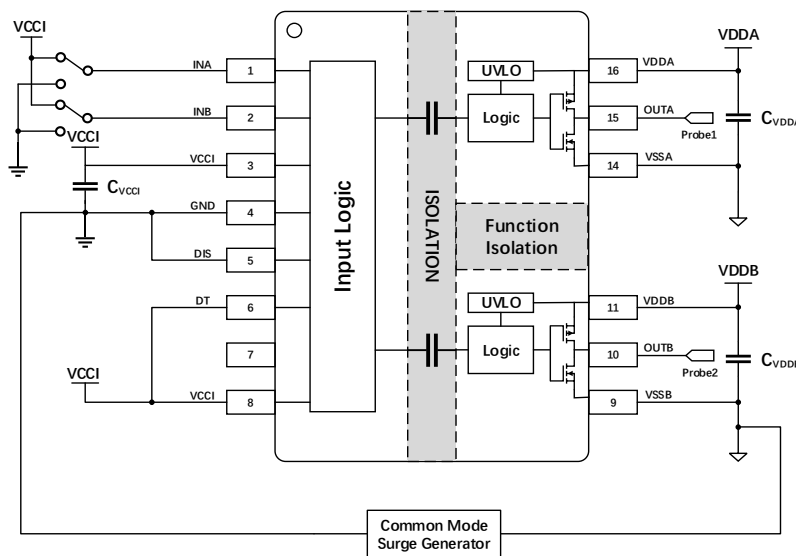


图 6-9 CMTI 测试电路

## 7 功能及特性说明

### 7.1. 概述

PiD6502 是一款具有宽输出侧电源电压范围，宽温度范围，以及可编程死区的隔离式双通道栅极驱动器。其配置了 4A 峰值拉电流及 6A 峰值灌电流的能力以驱动功率 MOSFET、SiC、GaN 及 IGBT 晶体管。作为一款高性能隔离式栅极驱动器，PiD6502 支持通过对 DT PIN 脚的配置来自定义死区时间，以实现双通道/半桥模式的切换，可灵活配置为两个低侧驱动器、两个高侧驱动器或者一个半桥驱动器。输入侧通过高压隔离层与两个输出驱动器隔离，其短时间耐压高达 7kV<sub>PK</sub> (SOW14/SOW16)，共模瞬态抗扰度 (CMTI) 高达 150V/ns。PiD6502 包含一系列保护功能：可编程死区时间 DT、输出禁用电平 DIS、10ns 的输入尖峰滤波器、输入侧及输出侧均有配置的欠压保

护 UVLO。

## 7.2. 功能框图

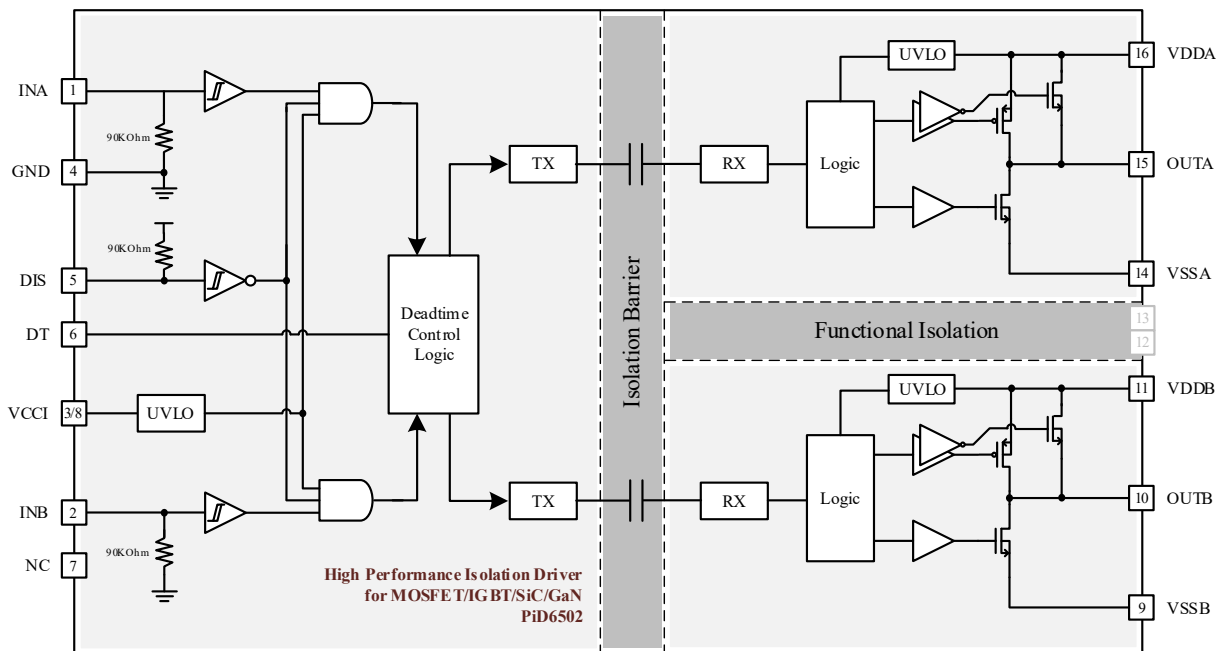


图 7-1 功能框图

## 7.3. 保护及特性

### 7.3.1. 欠压保护 (UVLO) 与有源下拉

PiD6502 对输入侧 VCCI 对 GND 和输出侧 VDDA/B 对 VSSA/B 均配置了欠压锁定 (UVLO) 保护功能。当输入侧电源电压 VCCI 低于输入侧 UVLO 阈值时，无论 INA/B 状态如何，OUTA/B 均不会跟随输入信号的动作，而是保持为低电平，以确保异常工作状态不会导致晶体管的损坏。当输出侧某一电源电压 VDDA 或 Vddb 低于输出侧 UVLO 阈值时，受到影响的通道的输出会保持为低电平，以确保该通道所驱动的晶体管不会受到异常工作状态的影响。

在 UVLO 保护中还设置了迟滞功能，其目的旨在当电源电压因干扰在 UVLO 阈值附近抖动时，芯片还可以保持稳定的状态，而不至于在保护状态与工作状态之间反复切换。

输出侧集成了有源下拉电路，当芯片输出侧处于未供电或 UVLO 状态时，内部会通过有源下拉功能将输出级 OUTA/B 引脚电压钳位在低电平，以避免因干扰导致外部功率器件误导通。

### 7.3.2. 输入输出逻辑真值表

该表在输入侧和输出侧电源电压均高于欠压保护阈值时，芯片处于正常工作状态时成立。

INA	INB	DT	DIS	OUTA	OUTB
L	L	X	X	L	L
H	L	经 $R_{DT}$ 接至 GND	L	H	L
L	H	经 $R_{DT}$ 接至 GND	L	L	H
H	H	经 $R_{DT}$ 接至 GND	L	L	L
X	X	悬空	X	L	L
H	L	短接至 VCCI	L	H	L
L	H	短接至 VCCI	L	L	H

H	H	短接至 VCCI	L	H	H
X	X	X	H 或者悬空	L	L

1) 表中, L=Low, 低电平; H=High, 高电平; X=任意, 任意状态。

### 7.3.3. 输入引脚特性

PiD6502 的输入引脚 (INA、INB、DIS) 均兼容 3.3V/5V 的输入信号, 可以灵活的应用于各种架构之中。其中 INA、INB 引脚内部均配置了 90kOhm 的对 GND 下拉电阻, 以确保在输入信号开路时, 内部电阻可以强制将其下拉至低电平, 避免可能出现的误导通; DIS 引脚内部则配置了 90kOhm 的对 VCCI 上拉电阻, 以确保在 DIS 信号开路时, 内部电阻可以将其强制上拉至高电平, 避免可能出现的误导通。需要注意, 输入侧电源电压 VCCI 是输入侧芯片工作的基准电压, 输入引脚的电压幅值任何时候都不应高于 VCCI 电压。

### 7.3.4. 输出引脚特性

PiD6502 的输出引脚 (OUTA、OUTB) 内存在上拉结构与下拉结构。上拉结构在芯片输出高电平时启用, 其通过一个 N-MOSFET 和一个 P-MOSFET 并联的模式在开通的瞬间提供驱动外部晶体管所需的瞬时大电流, 随后 N-MOSFET 关闭, 由 P-MOSFET 继续维持输出高电平稳态; 下拉结构在芯片输出低电平时启用, 其通过一个 N-MOSFET 提供到地的回路, 以快速泄放输出级电荷, 并使其保持在低电平的状态。PiD6502 的 A/B 通道均可以提供 4A/6A 的拉灌电流能力。

### 7.3.5. ESD 结构

PiD6502 内部配置了完善的 ESD 结构, 如图 7-2 所示。

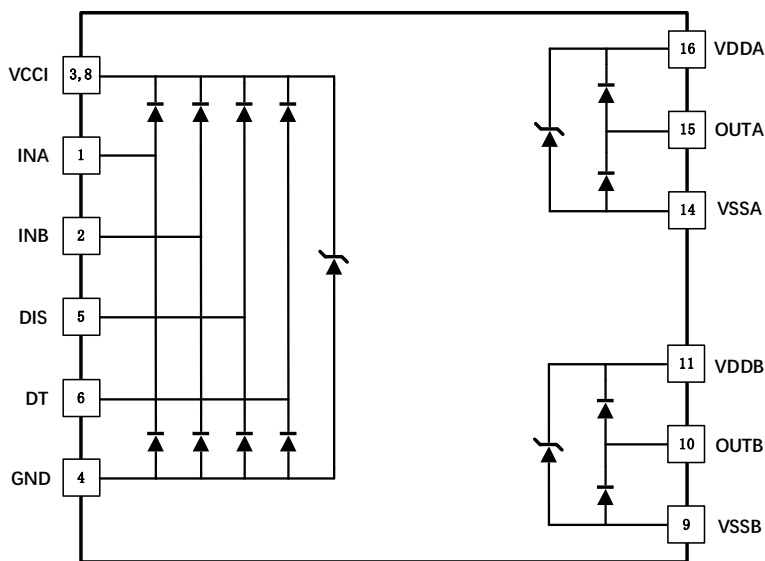


图 7-2 ESD 结构 (以 SOW14 和 SOP16 封装为例)

## 7.4. 器件功能

### 7.4.1. 使能引脚 (DIS)

DIS 使能引脚用于控制是否允许芯片输出。在 DIS 引脚悬空或者上拉至 VCCI 时, 芯片被配置为禁止输出状态, 此时 OUTA/B 不会响应 INA/B 的输入信号, 而是一直保持在低电平状态; 在 DIS 引脚给定低电平或者下拉至 GND 时, 芯片可以正常输出。在芯片工作过程中, 可以通过对 DIS 状态的切换随时改变芯片的工作状态, 如果不使用 DIS 引脚, 建议将其短接至 GND 以获得最佳的抗扰性能。

### 7.4.2. 可编程死区时间引脚 (DT)

DT 可编程死区时间引脚用于配置 A/B 通道间的死区时间, 可供配置的有以下几种模式:

1) DT 引脚短接至 VCCI

双通道配置模式, 死区时间功能被禁用, OUTA/B 跟随 INA/B 信号动作, 允许出现输出交叠, A/B 通道可独立配

置和控制。

## 2) DT 悬空

DT Floating 保护模式，可用于虚焊或异常检测，芯片控制 OUTA/B 会保持低电平，不再响应 INA/B 输入信号，保护 IGBT/SiC 等功率器件，避免生产过程中的虚焊以及使用过程中的震动、撞击等异常情况下引起损伤，避免系统失控引起更严重的后果。

## 3) DT 通过串联电阻 $R_{DT}$ 下拉至 GND

半桥配置模式，死区时间通过 DT 电阻配置，不允许出现输出交叠，死区时间与串联电阻  $R_{DT}$  的关系如下式所示，其中， $R_{DT}$  以  $k\Omega$  为单位， $t_{DT}$  以 ns 为单位。

$$t_{DT} \approx 10 \times R_{DT} + 23$$

图 7-3 展示了死区时间随  $R_{DT}$  变化的曲线。

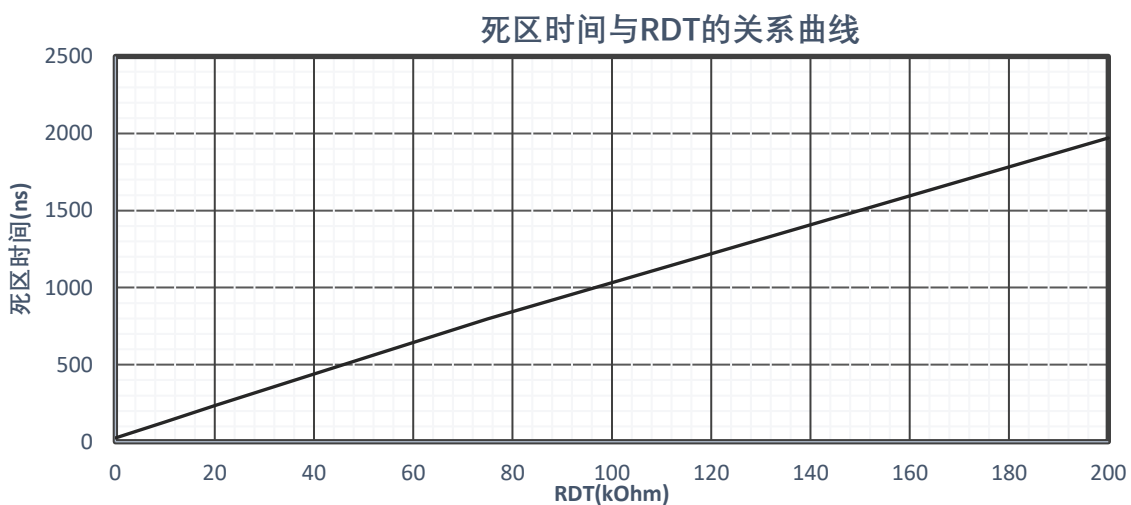


图 7-3 死区时间与 RDT 的关系曲线

在 DT 通过串联电阻  $R_{DT}$  下拉至 GND 的配置下，其中一个输入信号的下降沿会触发另外一个输入信号的死区时间。当输入信号的死区小于芯片配置的死区时，芯片将不会完全跟随输入信号，而是在配置的死区时间之后再响应输入信号，以确保两个输出之间最少会留有被配置的死区时间的间隔，各种情况下的死区时间如图 7-4 所示。

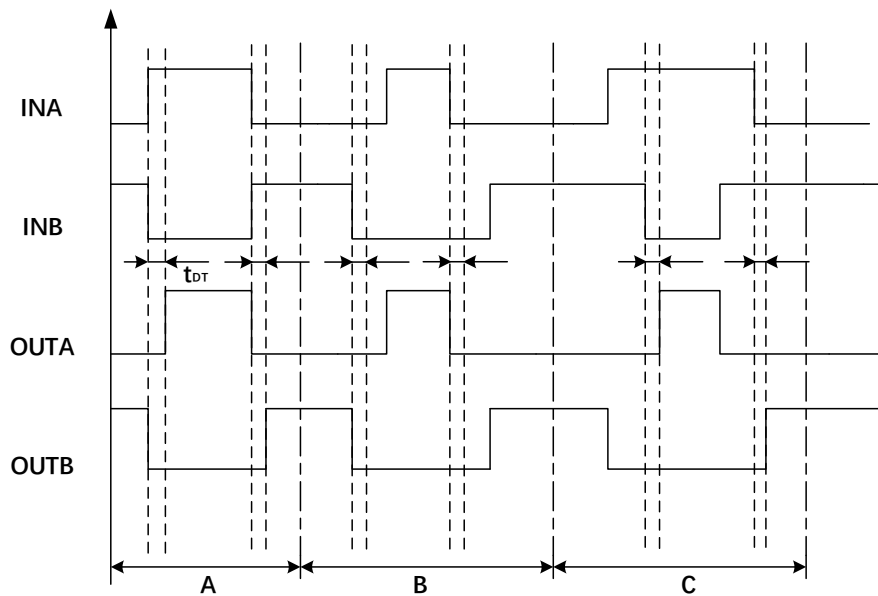


图 7-4 各情况下死区时间时序图

对于图 7-4 中各种可能出现的输入情况的详细解释如下：

**情况 A：**当输入信号 INA 与 INB 为互补或者输入死区小于配置死区时间的 PWM 时，在波形翻转的瞬间，INA/B 的下降沿会将死区时间  $t_{Dr}$  配置给另一个通道，使得另一个通道不会立即响应对应输入的上升沿，而是在死区时间结束后才变为高电平。

**情况 B：**当输入信号 INA 与 INB 为输入死区大于配置死区时间的 PWM 时，INA/B 下降沿对另一个通道配置的死区时间短于输入信号的死区时间，输出信号将完全响应输入信号。

**情况 C：**当输入信号 INA 与 INB 为有交叠的 PWM 时，输入波形产生交叠的瞬间输出将被全部关闭，直到 INA/B 其中某一个输入信号产生下降沿，随后经过一个配置的死区时间后，另一个通道响应对应的输入信号变为高电平。

## 8 典型应用参考方案

PiD6502 作为一款高性能的隔离式双通道栅极驱动器，凭借其卓越的隔离性能和驱动能力可被应用于 MOSFET、IGBT、SiC MOSFET 的高边、低边、高/低边或者半桥驱动应用。PiD6502 具有高达 5.5V 的 VCCI 和 35V 的 VDDA/B 工作电压，并集成了 UVLO 保护，死区时间控制，使能与禁用等功能，可助力设计人员为工业、汽车等应用打造更安全，更可靠的应用方案。

### 8.1. 参考方案原理图

如图 8-1 所示，该参考方案采用了 PiD6502 的典型半桥配置，可用于多种常见的电源转换器拓扑中，例如半桥/全桥隔离式拓扑、电机驱动、同步升压/降压等。

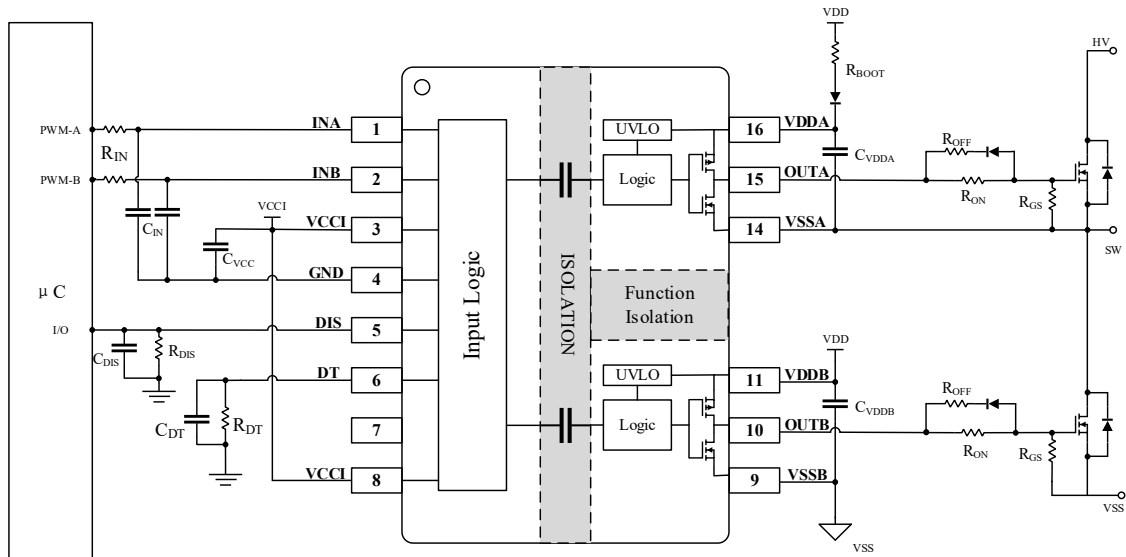


图 8-1 PiD6502 典型应用参考方案原理图

## 8.2. 外围器件选型建议及应用注意

### 8.2.1. 输入电容选型

对连接至 VCCI 的旁路电容，建议选用低 ESR/ESL 的陶瓷电容尽可能近的贴近芯片引脚放置，对于供电电源与 VCCI 距离相对较长的应用，还建议选择 1 $\mu$ F 以上的稳压电容并联放置于相对芯片较近的位置以提高芯片电源供电的稳定性。

对连接至 VDDA/VDDDB 的旁路电容，则需要分情况进行讨论：

如果采用分别供电的形式，同样建议选用低 ESR/ESL 的陶瓷电容尽可能近的贴近芯片引脚放置，对于供电电源与 VDDA/B 距离相对较长的应用，还建议选择 1 $\mu$ F 以上的稳压电容并联放置于相对芯片较近的位置以提高芯片电源供电的稳定性。

如果采用自举电路进行供电：

对于 VDDA，需要计算应用中每周期支持后级功率晶体管工作所需的电荷量，并确认每周期内允许的电源电压波动范围，在留有余量的基础上选择合适大小的电容。选定的电容不宜过小，应确保电源电压不会降到芯片 UVLO 阈值以下，也不宜过大，以避免在开始的几个周期时电容无法被有效的充电，进而影响系统工作。另外，可以选择在靠近芯片引脚的位置放置 100nF 左右的陶瓷贴片电容以优化芯片的瞬态性能。

对于 VDDDB，其外部电容一方面需要供给 VDDDB，另一方面还需要通过自举二极管向 VDDA 供电，所以需要相应的选择较大的电容，一般建议选用容值在 10 $\mu$ F 或以上的电容放置在距离芯片较近的位置，并且选用一个 100nF 或以上的电容并联放置在贴近芯片引脚的位置以优化其瞬态性能。

### 8.2.2. 输入信号滤波器

对于 INA/INB 信号，如果实际应用中存在较长或者易受干扰的 PCB 走线，建议在 INA/INB 外围设计 RC 滤波器以滤除可能存在的干扰信号。

对于此类 RC 滤波器，建议使用 0 $\Omega$  至 100 $\Omega$  范围内的  $R_{IN}$  和 10pF 和 100pF 之间的  $C_{IN}$ 。具体选用的 RC 大小可根据应用中可能存在的干扰频率进行针对性的选择。

### 8.2.3. DT 外围器件选型

对于 DT 引脚，在配置为有死区时间模式时需要通过电阻  $R_{DT}$  连接至 GND， $R_{DT}$  的大小取决于应用中所需的死区

时间，应根据上文给出的死区计算公式计算并选用合适的  $R_{DT}$  以适应应用的要求。

除此之外，还建议在  $R_{DT}$  上并联一个电容  $C_{DT}$  以确保 DT 引脚电位的稳定，建议选用 2.2nF 的电容器作为  $C_{DT}$ ，放置在尽可能靠近芯片引脚的位置。

#### 8.2.4. 输出电阻选型

输出电阻指串联在芯片输出引脚 OUTA/OUTB 至功率晶体管栅极间的电阻  $R_{ON}/R_{OFF}$ 。输出电阻的作用主要在于限制寄生参数引起的干扰以及调整和限制驱动电流大小，调节开关速率。对于实际应用来说，通过计算应用需要的峰值电流，并选择合适大小的  $R_{ON}/R_{OFF}$  可以有效的优化开关损耗，并确保不会因开关速度过快而导致过大的电压尖峰引起器件的损坏。

#### 8.2.5. GS 电阻选型

当栅极驱动器芯片未上电并处于不确定的状态时，建议使用栅极至源极电阻器  $R_{GS}$  将栅极下拉至源极电压。此电阻器还有助于在栅极驱动器能够导通并主动拉至低电平之前，降低米勒电流导致的由  $dv/dt$  引起的导通风险。该电阻器通常大小介于 5.1k $\Omega$  和 20k $\Omega$  之间，具体取决于功率器件的  $V_{th}$  和  $C_{GD}$  与  $C_{GS}$  之比。

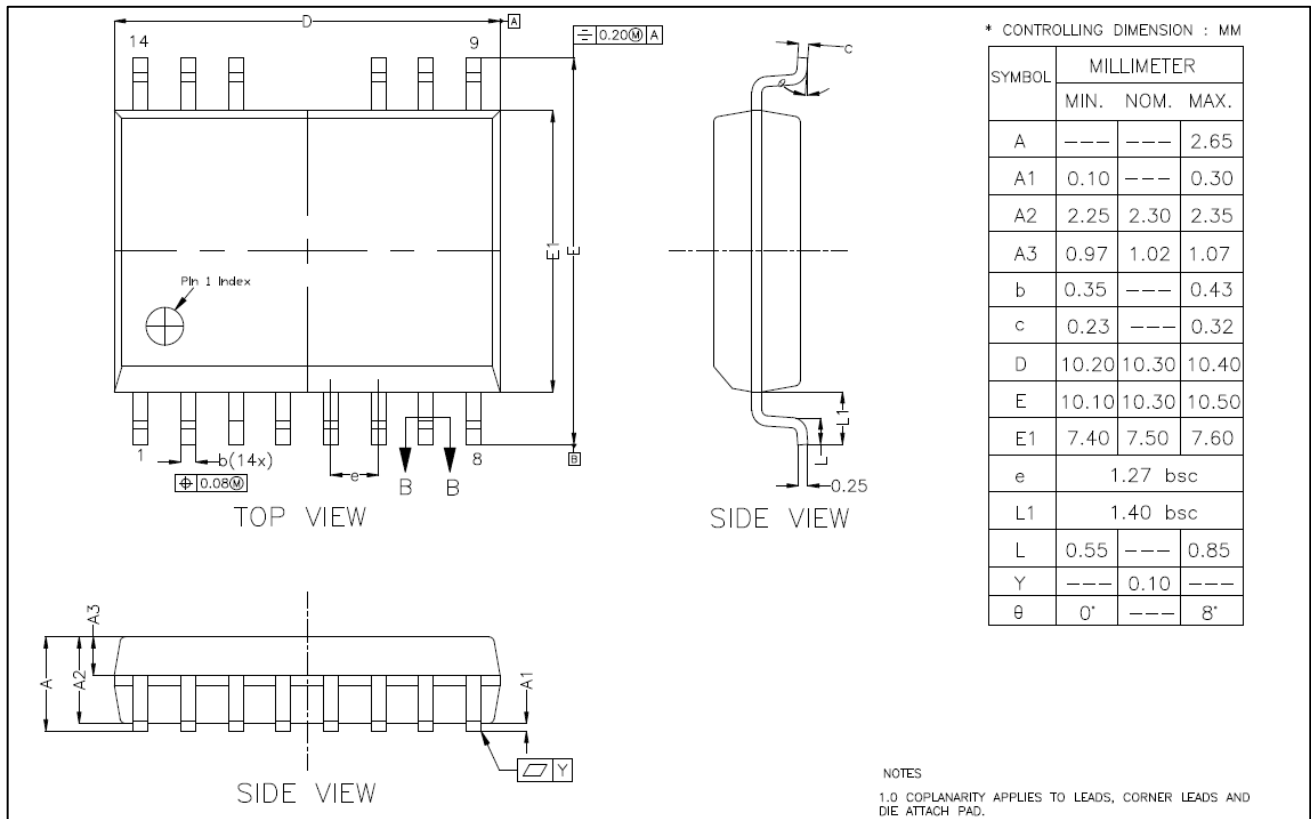
#### 8.2.6. 功率路径处理

大功率应用系统中，有时会因为 PCB 布线或系统控制设计缺陷等导致系统运行异常，甚至功率器件损坏等情况发生。PiD6502 具有较高的耐压范围和优秀的可靠性设计，结合系统合理且优化的设计有利于保证系统安全稳定的工作，降低系统失效率。应用中应根据功率器件的参数合理设置门级电阻值、死区时间，并尽可能减小电源至输出、输出至地环路的寄生电感；电源引脚去耦电容应尽可能靠近芯片电源和地引脚放置，避免过孔，尽可能减小寄生参数；应确保供电电压的稳定、避免电源和输出引脚出现高频纹波或振荡，这样不仅有益于整个系统和功率器件的安全稳定工作，也可提高系统的电磁兼容性能。

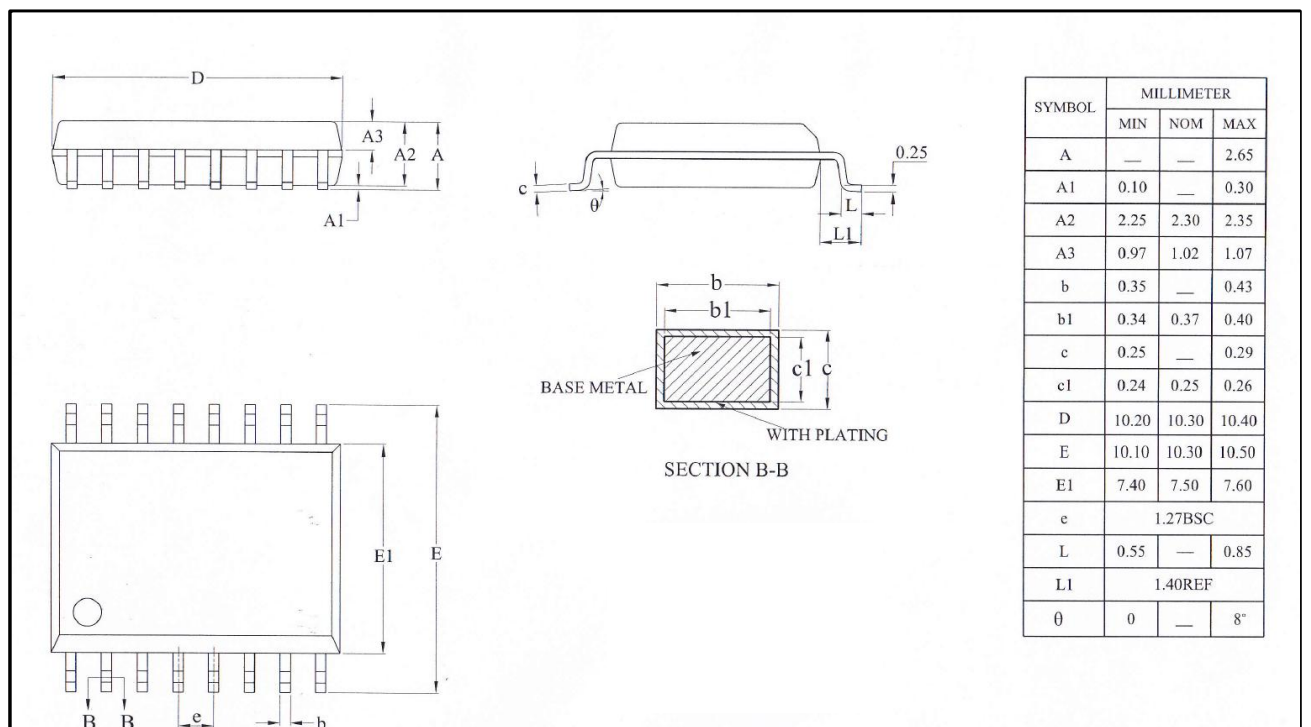
### 9 封装信息

PiD6502 有四种封装形式：宽体 14PIN 封装 SOW14，宽体 16PIN 封装 SOW16，窄体 16PIN 封装 SOP16，小尺寸 13PIN 封装 LGA13，具体尺寸信息如下：

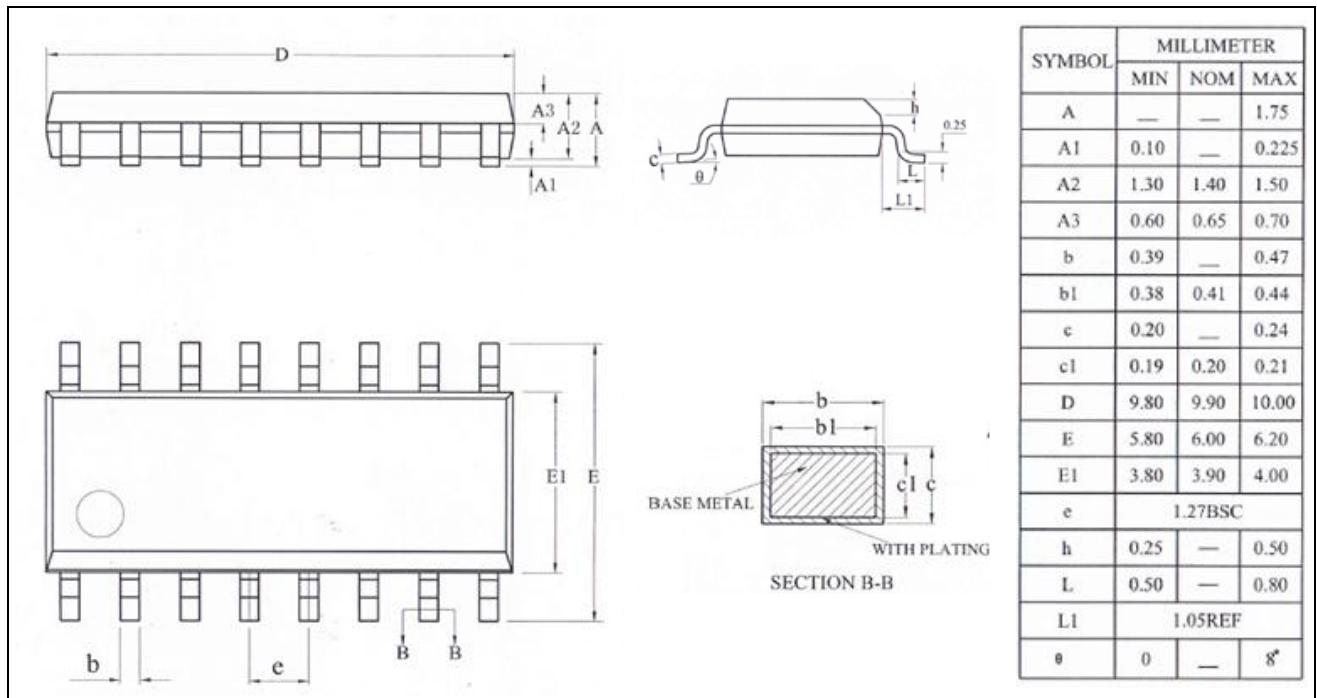
#### SOW14 封装尺寸：



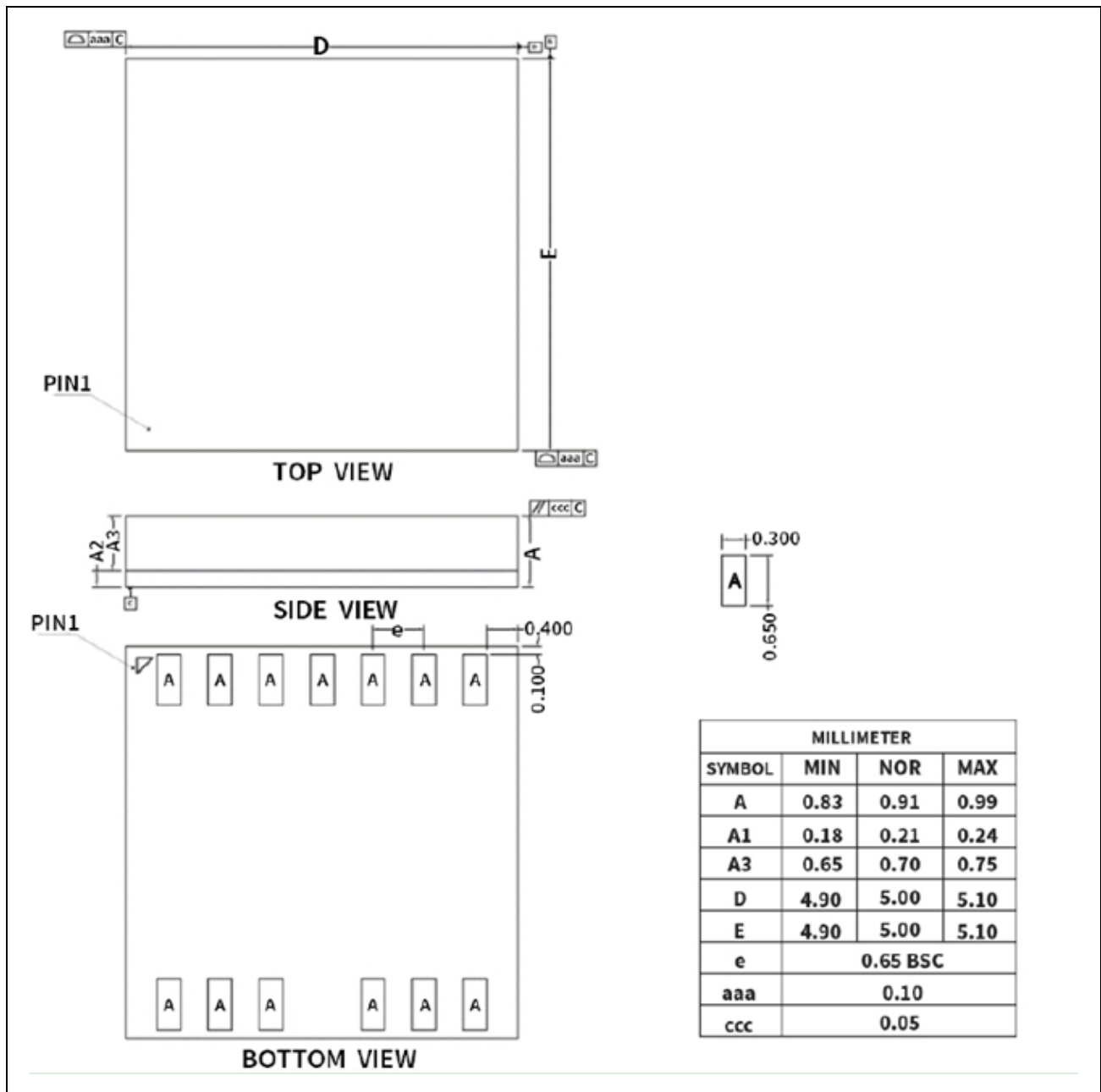
#### SOW16 封装尺寸：



SOP16 封装尺寸:



LGA13 封装尺寸:



## 11 订购信息

可订购型号	UVLO 等级	封装类型	封装尺寸	MSL 等级	器件丝印	包装数量
PiD6502AW	8.5V/8V	SOW14	10.3*7.5mm	MSL3	PiD6502AW	1500
PiD6502BW	12.5V/11.5V	SOW14	10.3*7.5mm	MSL3	PiD6502BW	1500
PiD6502CW	6.0V/5.7V	SOW14	10.3*7.5mm	MSL3	PiD6502CW	1500
PiD6502DW	17.6V/16.6V	SOW14	10.3*7.5mm	MSL3	PiD6502DW	1500
PiD6502AK	8.5V/8V	SOW16	10.3*7.5mm	MSL3	PiD6502AK	1500
PiD6502BK	12.5V/11.5V	SOW16	10.3*7.5mm	MSL3	PiD6502BK	1500
PiD6502CK	6.0V/5.7V	SOW16	10.3*7.5mm	MSL3	PiD6502CK	1500
PiD6502DK	17.6V/16.6V	SOW16	10.3*7.5mm	MSL3	PiD6502DK	1500
PiD6502AP	8.5V/8V	SOP16	9.9*3.9mm	MSL3	PiD6502AP	2500
PiD6502BP	12.5V/11.5V	SOP16	9.9*3.9mm	MSL3	PiD6502BP	2500
PiD6502CP	6.0V/5.7V	SOP16	9.9*3.9mm	MSL3	PiD6502CP	2500
PiD6502DP	17.6V/16.6V	SOP16	9.9*3.9mm	MSL3	PiD6502DP	2500
PiD6502AL	8.5V/8V	LGA13	5*5mm	MSL3	PiD6502AL	3000
PiD6502BL	12.5V/11.5V	LGA13	5*5mm	MSL3	PiD6502BL	3000
PiD6502CL	6.0V/5.7V	LGA13	5*5mm	MSL3	PiD6502CL	3000
PiD6502DL	17.6V/16.6V	LGA13	5*5mm	MSL3	PiD6502DL	3000

## 重要声明

Powerix 提供的数据手册、设计资源（包括参考设计）、应用或其他设计建议等可能存在纰漏或缺陷。Powerix 明确声明不提供任何明示或暗示的担保或授权，包括但不限于适销性、适用于特定用途或不侵犯第三方知识产权的任何担保。

您对使用 Powerix 的产品和应用及其安全性负全部责任，您应遵守与 Powerix 产品及应用相关的所有法律、法规和要求。

这些资源仅面向使用 Powerix 产品进行设计的熟练开发人员，Powerix 保留对所提供的产品和服务进行更正、修改、更新或其他更改的权利。

Powerix 仅授权您将这些资源用于开发旨在集成 Powerix 产品的相关应用。严禁将这些资源用于其他任何目的，或未经授权复制或展示这些资源。因使用该资源引发的任何索赔、损害、成本及责任，Powerix 概不负责。

对以上所有描述和声明，Powerix 保留最终解释权。

**Powerix Microelectronics**