

PiD6501 4A/6A 隔离式单通道栅极驱动器

1 特性

- 单通道分离输出隔离驱动，方便控制拉灌电流能力，节省系统成本
- 用于 IGBT、SiC MOSFETs、Si MOSFETs 驱动
- 4A 峰值拉电流能力及 6A 峰值灌电流能力
- 共模瞬态抗扰度 (CMTI) 大于 150V/ns
- 高达 35V 的宽输出侧电源电压范围
- 兼容 3.3V 或 5.0V 输入侧供电电压应用
- 超过 1MHz 最大输入信号频率
- 宽体 SOW8，窄体 SOP8 封装可选
- 针对所有电源提供 UVLO 保护功能
- 多版本不同 UVLO 阈值可选
 - 8.5V/12.5V/6.0V/17.6V 分别对应 A/B/C/D 版本
- 结温范围：-40 至 150°C
- 开关特性参数：
 - 45ns 传播延时典型值
 - 5ns 脉宽失真
 - 18us VDD 上电延时

2 应用领域

- AC 或无刷直流电机驱动
- 商用空调
- 感应谐振加热装置
- 不间断电源，通信电源
- 逆变器
- 高压直流/直流转换器，高压交流/直流转换器
- 车载电池充电器
- 马达驱动

3 说明

PiD6501 是一款具有宽输出侧电源电压范围，宽温度范围的隔离式单通道栅极驱动芯片。具有 4A 峰值拉电流及 6A 峰值灌电流的能力，用于驱动功率 MOSFET、IGBT、SiC、GaN 等功率器件，为系统提供更多的安全保障。

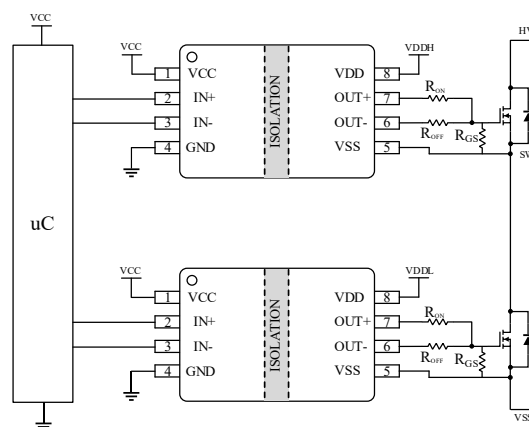
PiD6501 通过高质量的隔离栅设计和工艺实现原副边间的可靠隔离，其 V_{ISO} 耐压等级高达 5kV_{RMS} (SOW8)，3kV_{RMS} (SOP8)。另外 PiD6501 采用特有的设计技术提高其抗干扰能力，其共模瞬态抗扰度 (CMTI) 高达 150V/ns 以上，同时具有低电磁辐射和低边沿过充特性，提高系统电磁兼容性。

PiD6501 包含多重保护功能：输入尖峰滤波器、输入侧及输出侧欠压保护功能、有源下拉等。

PiD6501 作为一款高性能栅极隔离驱动，凭借高性能、多保护、高可靠，可应用在工业、汽车等多种复杂的功率器件驱动系统中。

器件信息

器件型号	封装形式	欠压保护阈值
PiD6501AE, PiD6501AN	SOW8, SOP8	8.5V/8.0V
PiD6501BE, PiD6501BN	SOW8, SOP8	12.5V/11.5V
PiD6501CE, PiD6501CN	SOW8, SOP8	6.0V/5.7V
PiD6501DE, PiD6501DN	SOW8, SOP8	17.6V/16.6V



典型应用原理图

目录

1	特性	1
2	应用领域	1
3	说明	1
4	引脚定义及功能	3
5	规格参数	4
5.1.	绝对最大额定值	4
5.2.	抗静电能力 (ESD) 等级	4
5.3.	推荐工作条件	4
5.4.	热性能信息	4
5.5.	功耗	4
5.6.	绝缘参数	4
5.7.	电性能参数	5
5.8.	开关特性参数	6
5.9.	共模瞬态抗扰度 (CMTI) 等级	6
5.10.	典型特性曲线	7
6	参数测试参考电路及时序图	9
6.1.	内部互锁时间 (INTERLOCK)	9
6.1.1.	测试电路	9
6.1.2.	时序图	10
6.2.	UVLO 触发/恢复到输出响应的延迟时间	10
6.3.	共模瞬态抗扰度 (CMTI)	11
6.3.1.	测试电路	11
7	功能及特性说明	11
7.1.	概述	11
7.2.	功能框图	11
7.3.	保护及特性	12
7.3.1.	欠压保护 (UVLO) 与有源下拉	12
7.3.2.	输入引脚特性	12
7.3.3.	输出引脚特性	12
7.3.4.	ESD 结构	12
7.3.5.	内部互锁时间 (Interlock)	13
8	典型应用参考方案	13
8.1.	参考方案原理图	13
8.2.	外围器件选型建议及应用注意	14
8.2.1.	输入电容选型	14
8.2.2.	输入信号滤波器	14
8.2.3.	输出电阻选型	14
8.2.4.	GS 电阻选型	15
8.2.5.	功率路径处理	15
9	封装信息	16
10	包装和卷带信息	17
11	订购信息	19

4 引脚定义及功能

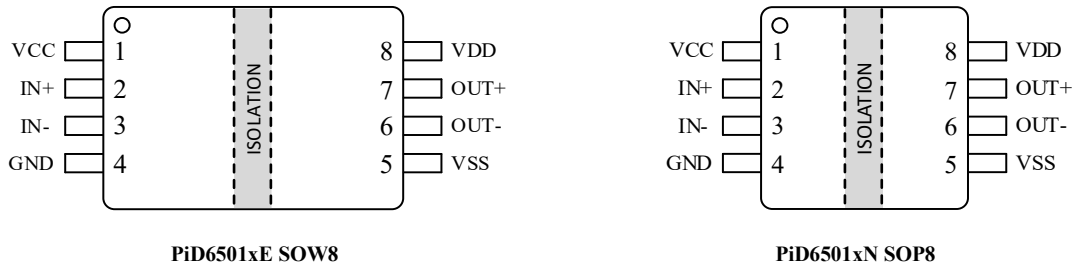


图 4-1 引脚配置

脚位	引脚名	类型 ⁽¹⁾	功能描述
1	VCC	P	输入侧电源电压。支持 3.3V/5V 电源电压。推荐采用低 ESD/ESL 的电容靠近引脚放置，以增强系统供电稳定性。
2	IN+	I	输入信号正输入端。IN+兼容 3.3V/5V 输入信号，内部由 90kOhm 电阻下拉至 GND。
3	IN-	I	输入信号负输入端。IN-兼容 3.3V/5V 输入信号，内部由 90kOhm 电阻下拉至 GND。
4	GND	G	输入侧地。
5	VSS	G	输出侧地。
6	OUT-	O	驱动器下拉输出。
7	OUT+	O	驱动器上拉输出。
8	VDD	P	输出侧电源。推荐采用低 ESD/ESL 的电容靠近引脚放置，以增强系统供电稳定性。

(1) I=Input, 输入引脚; O=Output, 输出引脚; P=Power, 电源引脚; G=Ground, 参考地引脚。

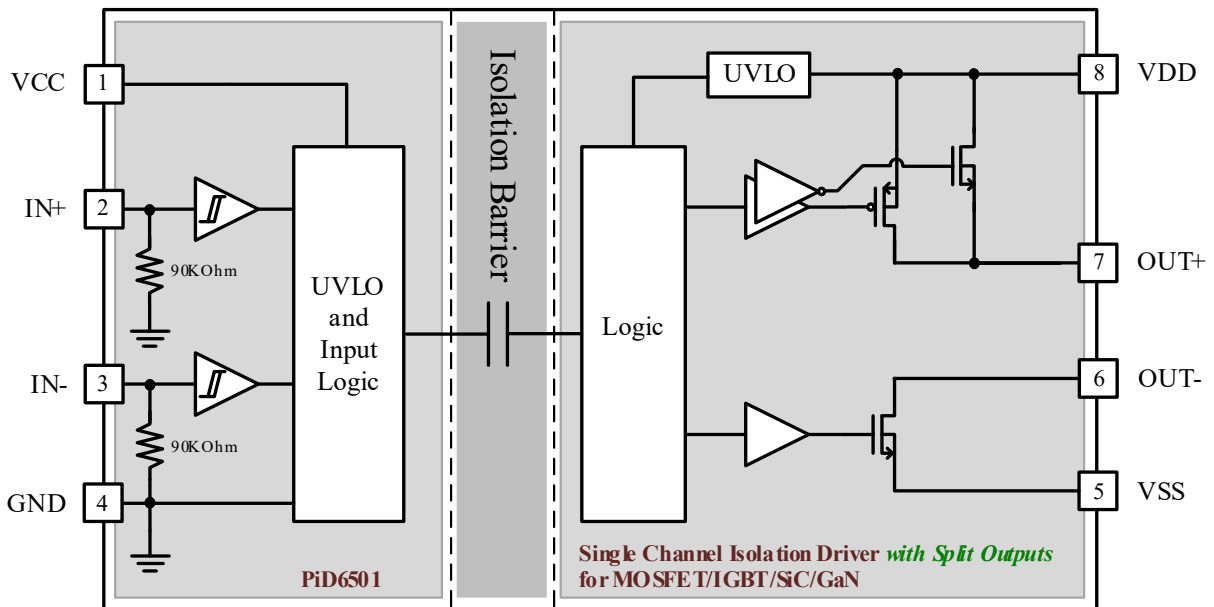


图 4-2 功能框图

5 规格参数

5.1. 绝对最大额定值

参数	描述	最小值	最大值	单位
输入侧电源电压	VCC-GND	-0.3	6	V
输出侧电源电压	VDD-VSS	-0.3	35	V
输入信号电压	(IN+/IN-) -GND	-0.3	VCC+0.3 ⁽²⁾	V
输出信号电压	(OUT+)-VSS, (OUT-)-VSS	-0.3	VDD+0.3	V
结温	T _J	-40	150	°C
贮存温度	T _{stg}	-65	150	°C
焊接温度 ⁽³⁾	T _{SOL}		260	°C

(1) 绝对最大额定值是器件耐受外部条件的最大值，对器件施加超出绝对最大额定值的应力可能导致器件的永久性损坏。长期暴露在绝对最大额定值条件下可能会影响器件的可靠性，且可能缩短器件寿命。

(2) 最大电压不得超过 6V。

(3) 依据标准 JEDEC J-STD-002。

5.2. 抗静电能力 (ESD) 等级

参数	符号及描述		数值		单位	
			SOW8	SOP8		
静电放电能力	V _(ESD)	人体放电模型(HBM)	PIN1~PIN4	±4000	±4000	V
			PIN5~PIN8	±4000	±4000	V
	充电设备模型(CDM)	All PIN	±1000	±1000	V	

5.3. 推荐工作条件

参数	描述	最小值	最大值	单位
输入侧电源电压	VCC-GND	3.0	5.5	V
输出侧电源电压	VDD-VSS (PiD6501A)	9.0	28	V
	VDD-VSS (PiD6501B)	13.0	28	V
	VDD-VSS (PiD6501C)	6.5	28	V
	VDD-VSS (PiD6501D)	18.5	28	V
结温	T _J	-40	150	°C

5.4. 热性能信息

参数	符号及描述		数值		单位
			SOW8	SOP8	
热阻	R _{θJA}	结至环境的热阻	119	106	°C/W

5.5. 功耗

符号	参数	测试条件	数值	单位
P _D	总体功耗	VCC=5V, VDD=20V, IN=0-5V, 500kHz PWM, CL=0pF	82.5	mW
P _{DI}	输入侧功耗		47.5	mW
P _{DO}	输出侧功耗		35	mW

5.6. 绝缘参数

符号	参数	测试条件	数值		单位
			SOW8	SOP8	
CLR	外部间隙	两侧端子间的最短空间距离	8	4	mm
CPG	外部爬电距离	两侧端子间的最短封装表面距离	8	4	mm
DTI	绝缘穿透距离	最小内部间隙	18		μm
V_{IOTM}	最大瞬态隔离电压	$V_{\text{TEST}}=V_{\text{IOTM}}$, 测试时长 $t=60\text{s}$ (鉴定测试); $V_{\text{TEST}}=1.2 \times V_{\text{IOTM}}$, 测试时长 $t=1\text{s}$ (100%生产测试);	7071	4242	V_{PK}
V_{IMP}	最大脉冲电压	在空气中测试, 1.2/50 μs 波形, 依据 IEC 62368-1 标准	6000	3500	V_{PK}
V_{IOSM}	最大浪涌隔离电压	$V_{\text{IOSM}} \geq 1.3 \times V_{\text{IMP}}$; 在油中测试 (鉴定测试), 1.2/50 μs 波形, 依据 IEC 62368-1 标准	8000	6500	V_{PK}
Q_{pd}	视在电荷	在 I/O 安全测试分组 2/3 后, 依据 IEC 60747-17 标准, 采用方法 a, $V_{\text{pd(m)}}=1.2 \times V_{\text{IORM}}$, $t_{\text{m}}=10\text{s}$	≤ 5		pC
		在环境测试分组 1 后, 依据 IEC 60747-17 标准, 采用方法 a, $V_{\text{pd(m)}}=1.6 \times V_{\text{IORM}}$, $t_{\text{m}}=10\text{s}$	≤ 5		
		常规测试及预处理过程, 依据 IEC 60747-17 标准, 采用方法 b1, $V_{\text{pd(m)}}=1.875 \times V_{\text{IORM}}$, $t_{\text{m}}=1\text{s}$	≤ 5		
V_{ISO}	可重复承受隔离电压	$V_{\text{TEST}}=V_{\text{ISO}}$, 测试时长 $t=60\text{s}$, 鉴定测试 $V_{\text{TEST}}=1.2 \times V_{\text{ISO}}$, 测试时长 $t=1\text{s}$, 100%生产测试	5000	3000	V_{RMS}
R_{IO}	隔离电阻	$V_{\text{IO}}=500\text{V}$, $T_{\text{A}}=25^{\circ}\text{C}$	$>10^{12}$		Ω

5.7. 电性能参数

除非另有说明, 否则测试条件为 $V_{\text{CC}}=3.3\text{V}$ 或 5V , $V_{\text{DD}}=20\text{V}$, $C_{\text{Load}}=0\text{pF}$, $T_{\text{A}}=-40^{\circ}\text{C}$ 至 125°C , 典型值在 $T_{\text{A}}=25^{\circ}\text{C}$ 时测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
电源电流 (VCC、VDD)						
$I_{\text{VCC-Q}}$	输入侧静态电流	$V_{\text{IN+}}=V_{\text{IN-}}=0\text{V}$, $V_{\text{CC}}=3.3\text{V}$		1.5		mA
		$V_{\text{IN+}}=V_{\text{IN-}}=0\text{V}$, $V_{\text{CC}}=5\text{V}$		1.8		mA
I_{VCC}	输入侧工作电流	IN 输入互补的 PWM 波, $f_{\text{sw}}=500\text{kHz}$, $V_{\text{CC}}=3.3\text{V}$		5.8		mA
		IN 输入互补的 PWM 波, $f_{\text{sw}}=500\text{kHz}$, $V_{\text{CC}}=5\text{V}$		6.0		mA
		$V_{\text{IN+}}=3.3\text{V}$, $V_{\text{IN-}}=\text{GND}$, $V_{\text{CC}}=3.3\text{V}$		5.8		mA
		$V_{\text{IN+}}=5\text{V}$, $V_{\text{IN-}}=\text{GND}$, $V_{\text{CC}}=5\text{V}$		6.2		mA
$I_{\text{VDD-Q}}$	输出侧静态电流	$V_{\text{IN+}}=0\text{V}$		0.9		mA
I_{VDD}	输出侧工作电流	IN+ 输入 PWM 波, $f_{\text{sw}}=500\text{kHz}$		1.75		mA
		$V_{\text{IN+}}=V_{\text{CC}}$, $V_{\text{IN-}}=\text{GND}$		0.95		mA
输入侧电源欠压保护参数 (VCC UVLO)						
$V_{\text{VCC_ON}}$	上升阈值			2.7		V
$V_{\text{VCC_OFF}}$	下降阈值			2.5		V
$V_{\text{VCC_HYS}}$	阈值迟滞			0.2		V
$t_{\text{VCC+ to OUT}}$	导通延迟			35		μs
$t_{\text{VCC- to OUT}}$	关闭延迟			3		μs

t_{VCCFIL}	抗尖峰滤波			3		μs
输出侧电源欠压保护参数 (VDD UVLO)						
V_{VDD_ON}	上升阈值	PiD6501A		8.5		V
V_{VDD_OFF}	下降阈值			8		V
V_{VDD_HYS}	阈值迟滞			0.5		V
V_{VDD_ON}	上升阈值	PiD6501B		12.5		V
V_{VDD_OFF}	下降阈值			11.5		V
V_{VDD_HYS}	阈值迟滞			1		V
V_{VDD_ON}	上升阈值	PiD6501C		6.0		V
V_{VDD_OFF}	下降阈值			5.7		V
V_{VDD_HYS}	阈值迟滞			0.3		V
V_{VDD_ON}	上升阈值	PiD6501D		17.6		V
V_{VDD_OFF}	下降阈值			16.6		V
V_{VDD_HYS}	阈值迟滞			1		V
$t_{VDD+toOUT}$	导通延迟			18		μs
$t_{VDD-toOUT}$	关闭延迟			3		μs
t_{VDD_FIL}	抗尖峰滤波			3		μs
输入信号 (IN+, IN-)						
V_{IN_H}	输入高电平阈值	VCC=5V		2		V
		VCC=3.3V		1.5		V
V_{IN_L}	输入低电平阈值	VCC=5V		1.3		V
		VCC=3.3V		0.8		V
V_{IN_HYS}	输入阈值迟滞			0.7		V
R_{IN_G}	IN+/- 引脚下拉电阻			90		k Ω
输出信号 (OUT+, OUT-)						
I_{OUT_SRC}	输出拉电流峰值	$C_{Load}=0.22\mu F, f=1kHz$		-4		A
I_{OUT_SINK}	输出灌电流峰值	$C_{Load}=0.22\mu F, f=1kHz$		6		A
R_{DSON_H}	输出侧上管导通阻抗	$I_{OUT} = -50mA$		4		Ω
R_{DSON_L}	输出侧下管导通阻抗	$I_{OUT} = 50mA$		0.8		Ω
V_{OUTPD}	输出引脚有源下拉	$I_{OUT} = 200mA, VDD$ 悬空		2		V

5.8. 开关特性参数

除非另有说明，否则测试条件为 $V_{VCC}=3.3V$ 或 $5V$ ， $V_{VDD}=20V$ ， $C_{Load}=0pF$ ， $T_A=-40^{\circ}C$ 至 $125^{\circ}C$ ，典型值在 $T_A=25^{\circ}C$ 时测得。

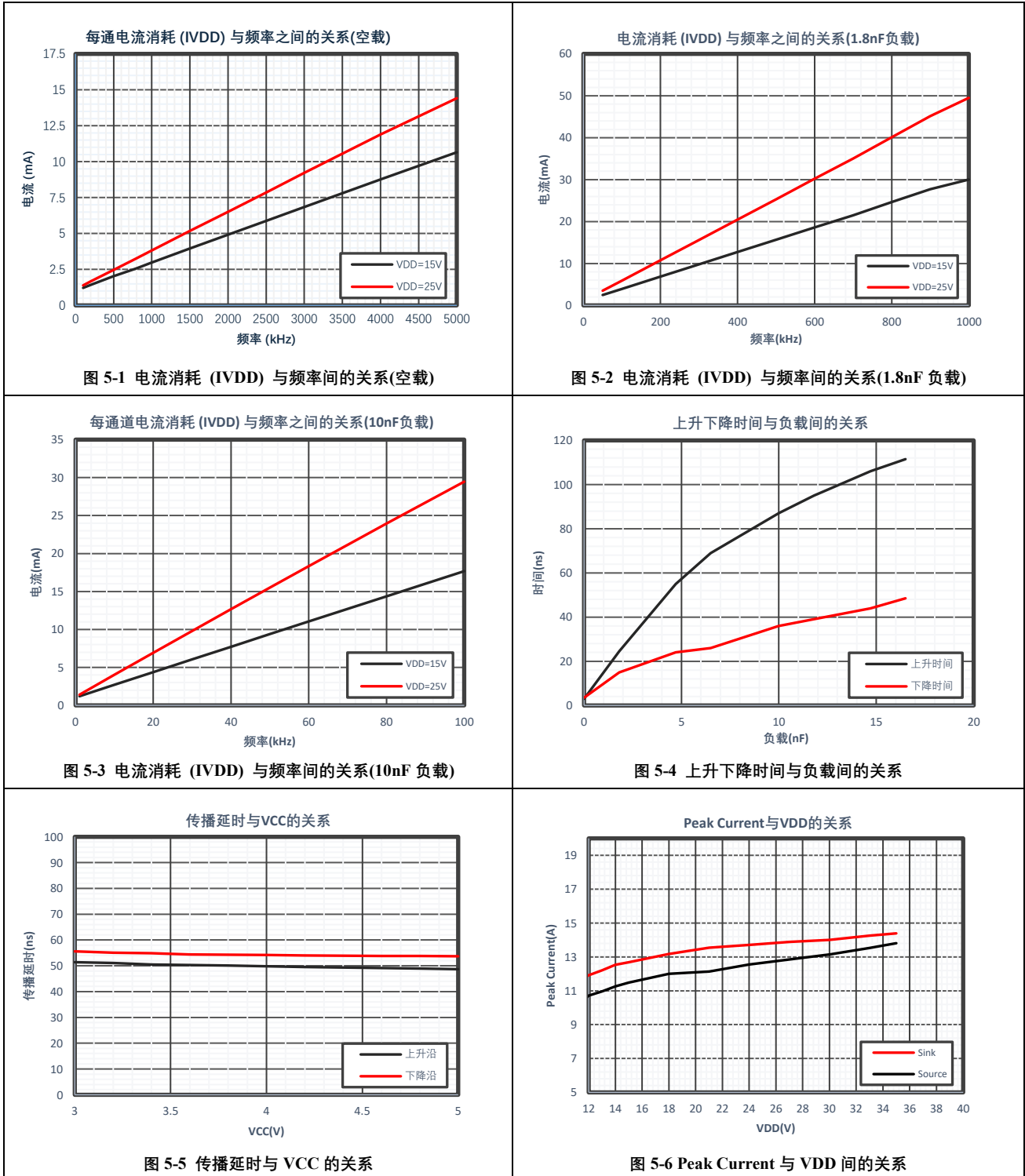
参数	符号	测试条件	最小值	典型值	最大值	单位
t_{RISE}	输出上升时间	$C_{Load}=1.8nF, VDD=12V$		15		ns
t_{FALL}	输出下降时间	$C_{Load}=1.8nF, VDD=12V$		6		ns
t_{PDLH}	上升沿传播延时	$f_{sw}=500kHz$ ，至输出上升沿 10% 时测得		45		ns
t_{PDHL}	下降沿传播延时	$f_{sw}=500kHz$ ，至输出下降沿 90% 时测得		45		ns
t_{PWD}	脉宽失真	脉冲宽度=100ns, $f_{sw}=500kHz$, $ t_{PDLHA} - t_{PDHLA} $, $ t_{PDLHB} - t_{PDHLB} $		0.4		ns

5.9. 共模瞬态抗扰度 (CMTI) 等级

符号	参数	测试条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

CMTI _H	高电平共模瞬态抗扰度	V _{CM} =1500V		150	V/ns
CMTI _L	低电平共模瞬态抗扰度	V _{CM} =1500V		150	V/ns

5.10. 典型特性曲线



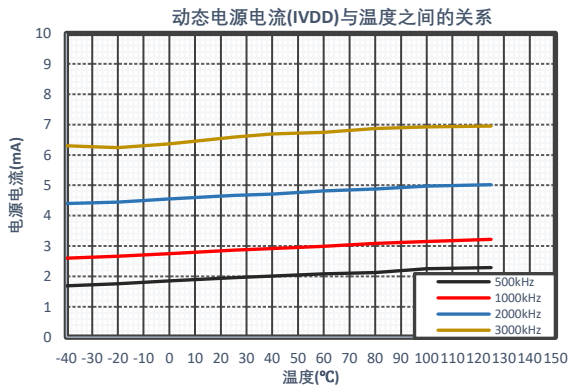


图 5-7 动态电源电流 (IVDD) 与温度之间的关系

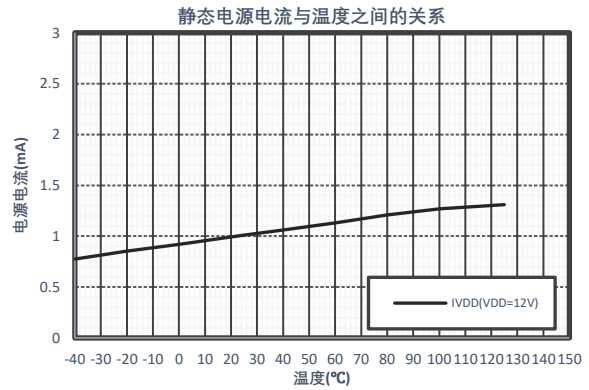


图 5-8 静态电源电流与温度之间的关系

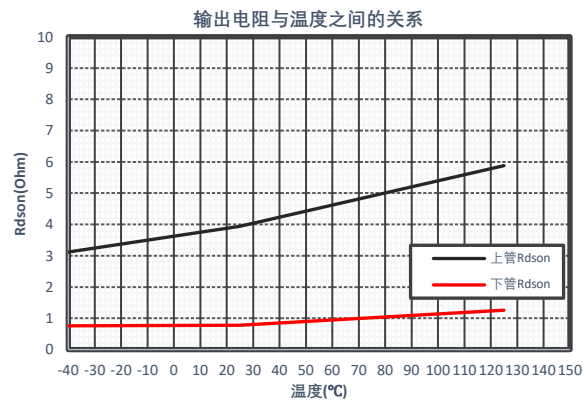


图 5-9 输出电阻与温度之间的关系

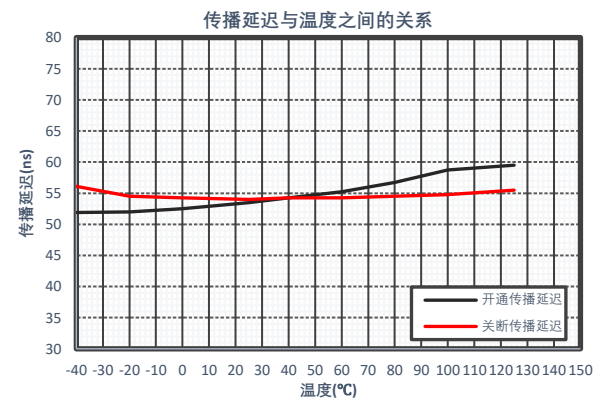


图 5-10 传播延迟与温度之间的关系

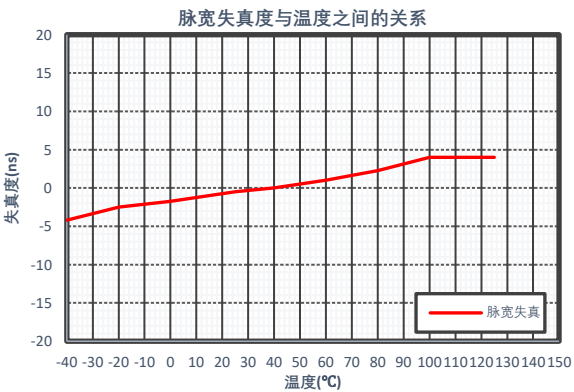


图 5-11 脉宽失真度与温度之间的关系

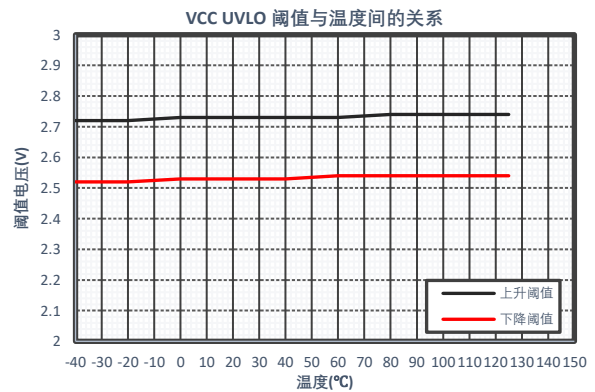


图 5-12 VCC UVLO 阈值与温度间的关系

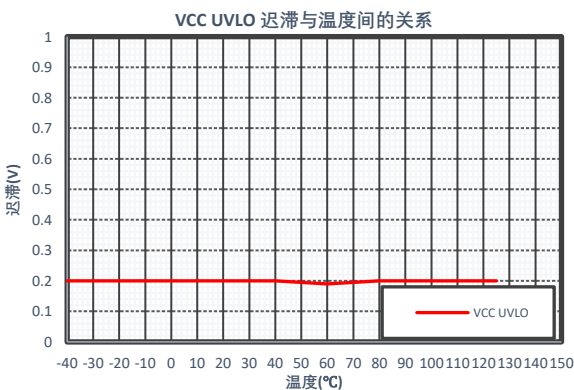


图 5-13 VCC UVLO 迟滞与温度间的关系

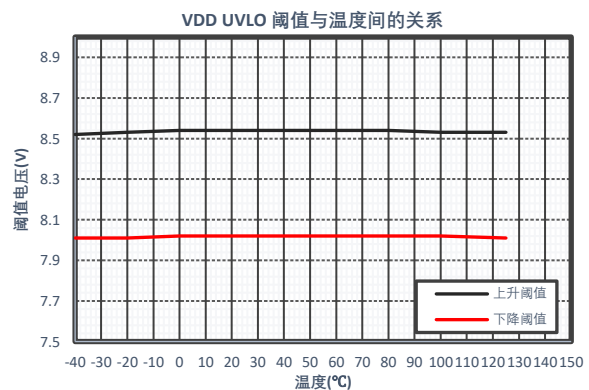
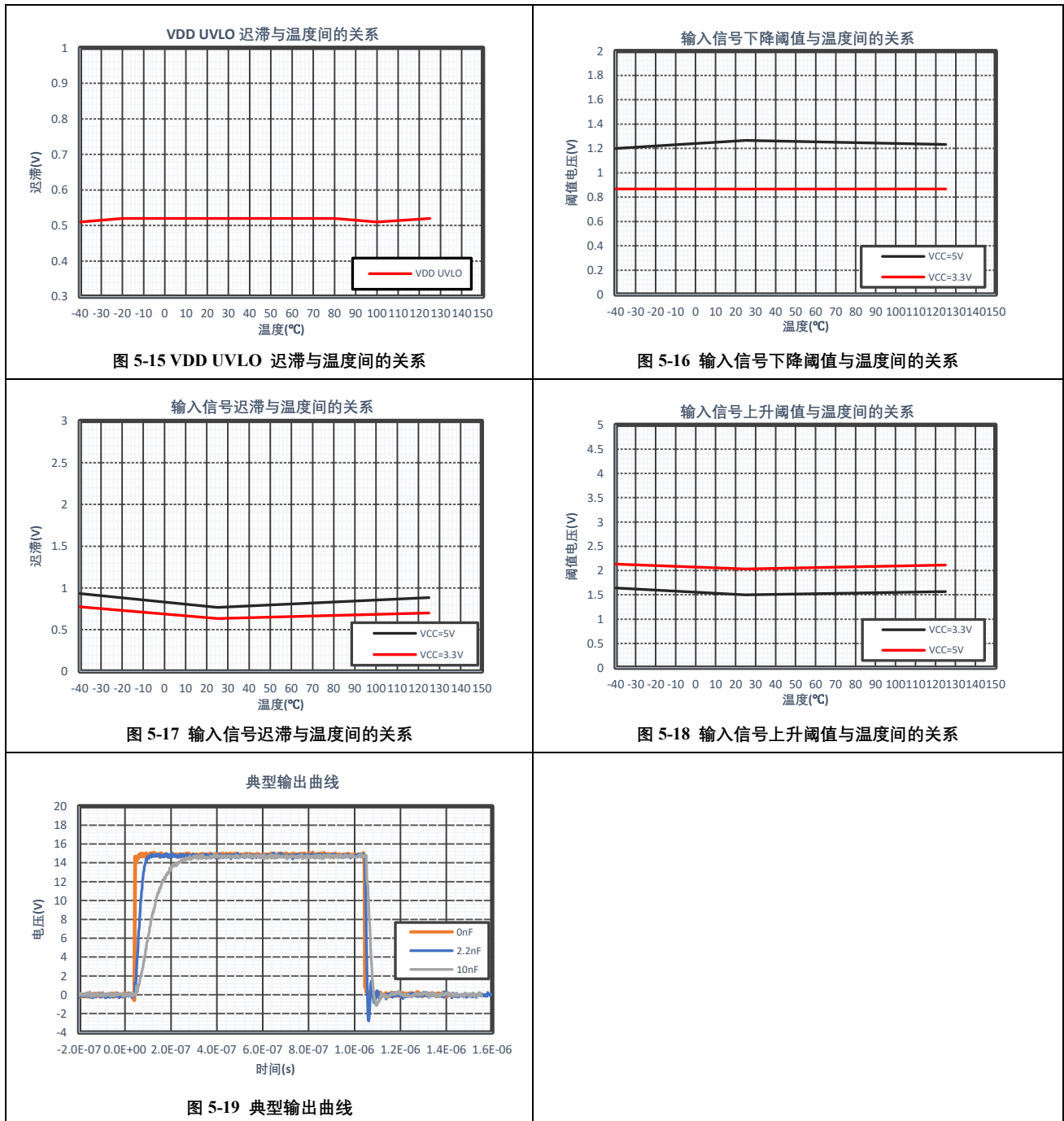


图 5-14 VDD UVLO 阈值与温度间的关系



6 参数测试参考电路及时序图

6.1. 内部互锁时间 (Interlock)

PiD6501 内置了 Interlock 功能，在输入信号切换的边沿提供硬件死区以确保开关过程中不会发生直通。对该功能下述提供了一种测试方法供测试参考。

6.1.1. 测试电路

图 6-1 显示了 Interlock 时间的测试电路。

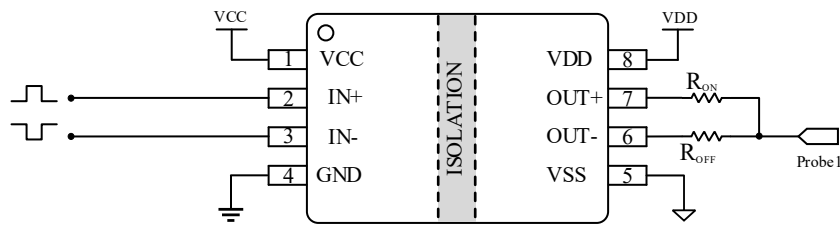


图 6-1 Interlock 时间的测试电路

其中，IN+和 IN-输入互补的 PWM 波，通过测量 IN-下降沿至 OUT 上升沿间的间隔时间与传播延迟的差值得到 Interlock 时间。

6.1.2. 时序图

通过图 6-1 展示的测试电路，可以得到 Interlock 时间的时序图如图 6-2 所示。

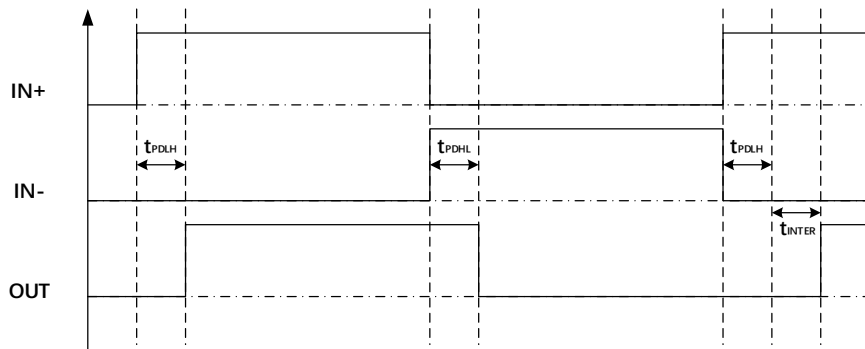


图 6-2 Interlock 时间的时序图

6.2. UVLO 触发/恢复到输出响应的延迟时间

当电源电压 VCC 或 VDD 出现穿越 UVLO 阈值的变化时，PiD6501 设置了相应的输出响应延时时间以确保芯片在异常状态下的安全工作。对于 VCC UVLO，其上电 UVLO 到输出导通延迟时间 ($t_{VCC+ \rightarrow OUT}$) 典型值为 35 μ s；对于 VDD UVLO，其上电 UVLO 到输出导通延迟时间 ($t_{VDD+ \rightarrow OUT}$) 典型值为 18 μ s。出于安全性考虑，建议在芯片上电后到输入信号 PWM 启动前留出适当的时间以确保后续器件的稳定工作。UVLO 触发/恢复到输出响应的延迟时间的时序图如图 6-3、图 6-4 所示。

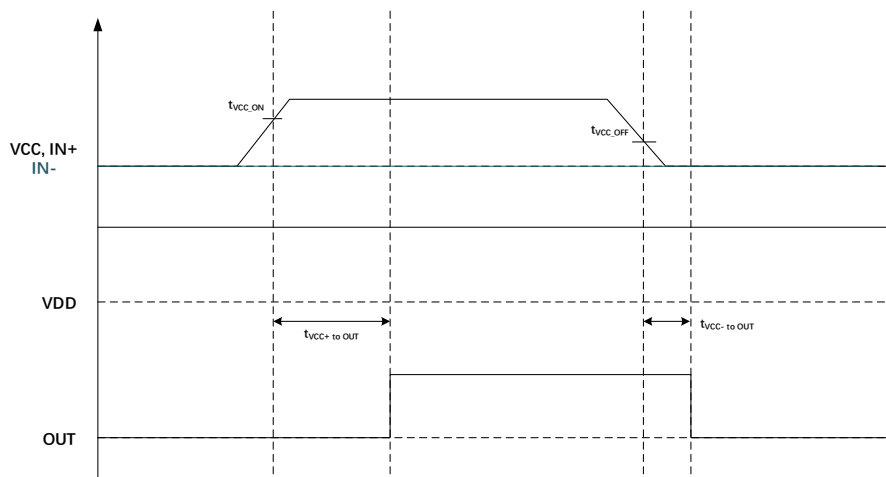


图 6-3 VCC UVLO 触发/恢复到输出响应的延迟时间

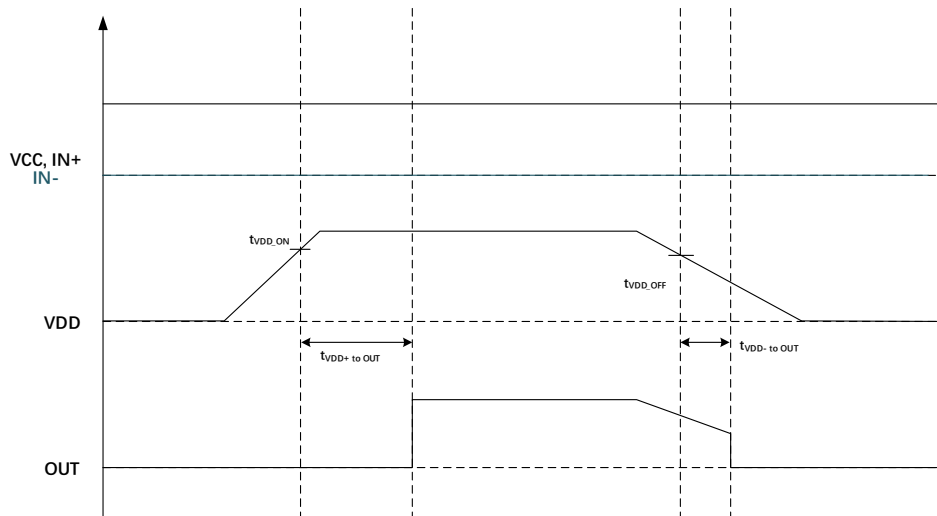


图 6-4 VDD UVLO 触发/恢复到输出响应的延迟时间

6.3. 共模瞬态抗扰度 (CMTI)

共模瞬态抗扰度 (CMTI) 测试旨在衡量芯片对快速变化的共模瞬态干扰的抵抗程度，参考测试方法如下。

6.3.1. 测试电路

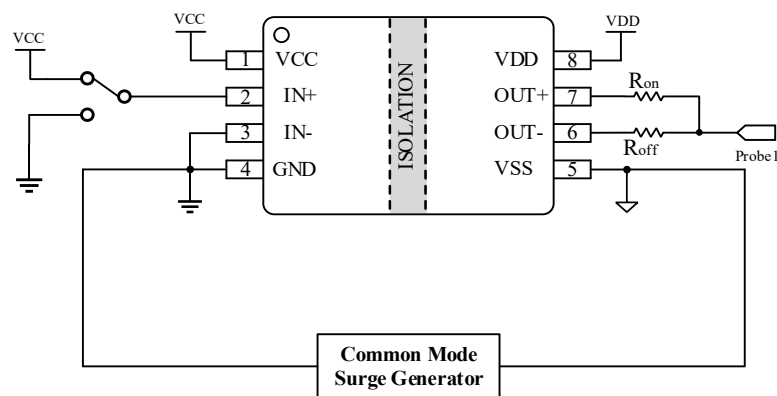


图 6-5 CMTI 测试电路

7 功能及特性说明

7.1. 概述

PiD6501 是一款具有宽输出侧电源电压范围，宽温度范围的隔离式单通道栅极驱动器。其配置了 4A 峰值拉电流及 6A 峰值灌电流的能力以驱动功率 MOSFET、SiC、GaN 及 IGBT 晶体管。作为一款高性能隔离式栅极驱动器，PiD6501 的输入侧通过高压隔离层与输出驱动器隔离，其短时间耐压高达 $7kV_{PK}(SOW8)$ ，共模瞬态抗扰度 (CMTI) 高达 150V/ns。PiD6501 包含一系列保护功能：10ns 的输入尖峰滤波器、输入侧及输出侧均有配置的欠压保护 UVLO、以及有源下拉等。

7.2. 功能框图

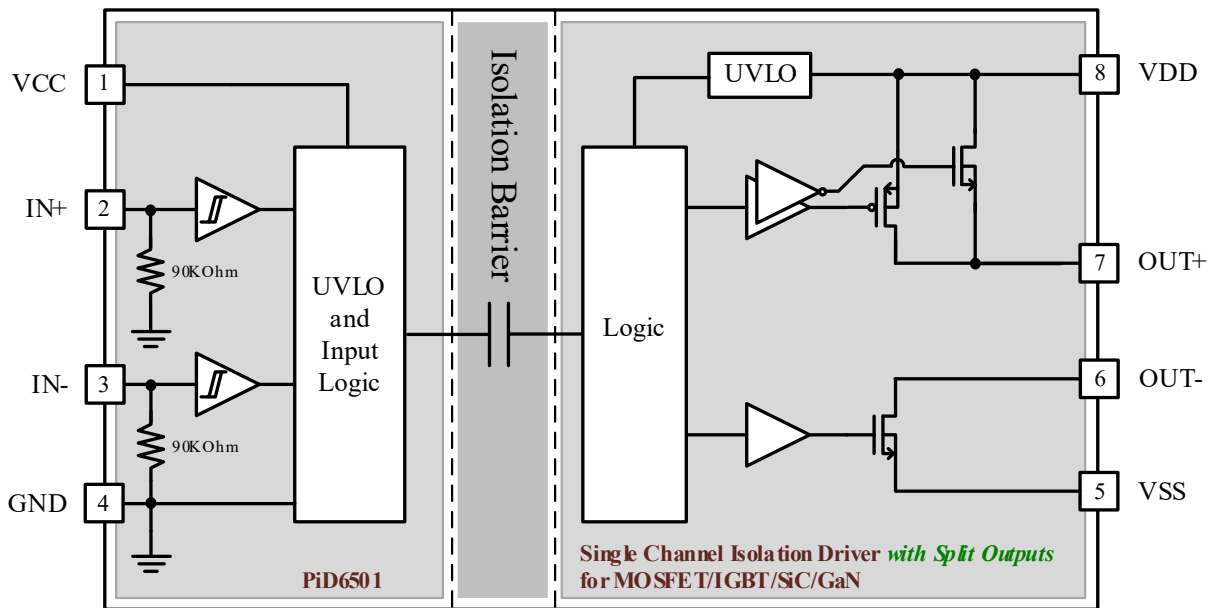


图 7-1 功能框图

7.3. 保护及特性

7.3.1. 欠压保护 (UVLO) 与有源下拉

PiD6501 对输入侧 VCC 对 GND 和输出侧 VDD 对 VSS 均配置了欠压锁定 (UVLO) 保护功能。当输入侧电源电压 VCC 低于输入侧 UVLO 阈值时, 无论 IN+ 状态如何, OUT 均不会跟随输入信号的动作, 而是保持为低电平, 以确保异常工作状态不会导致晶体管的损坏。当输出侧电源电压 VDD 低于输出侧 UVLO 阈值时, 输出会保持为低电平, 以确保所驱动的晶体管不会受到异常工作状态的影响。

在 UVLO 保护中还设置了迟滞功能, 其目的旨在当电源电压因干扰在 UVLO 阈值附近抖动时, 芯片还可以保持稳定的状态, 而不至于在保护状态与工作状态之间反复切换。

输出侧集成了有源下拉电路, 当芯片输出侧处于未供电或 UVLO 状态时, 内部会通过有源下拉功能将输出级 OUT+/- 引脚电压钳位在低电平, 以避免因干扰导致外部功率器件误导通。

7.3.2. 输入引脚特性

PiD6501 的输入引脚 (IN+、IN-) 均兼容 3.3V/5V 的输入信号, 可以灵活的应用于各种架构之中。其中 IN+ 与 IN- 引脚内部均配置了 90kOhm 的对 GND 下拉电阻, 以确保在输入信号开路时, 内部电阻可以强制将其下拉至低电平, 避免可能出现的误导通。需要注意, 输入侧电源电压 VCC 是输入侧芯片工作的基准电压, 输入引脚的电压幅值任何时候都不应高于 VCC 电压。

7.3.3. 输出引脚特性

PiD6501 的输出引脚 (OUT+、OUT-) 内存在上拉结构与下拉结构。上拉结构在芯片输出高电平时启用, 其通过一个 N-MOSFET 和一个 P-MOSFET 并联的模式在开通的瞬间提供驱动外部晶体管所需的瞬时大电流, 随后 N-MOSFET 关闭, 由 P-MOSFET 继续维持输出高电平稳态; 下拉结构在芯片输出低电平时启用, 其通过一个 N-MOSFET 提供到地的回路, 以快速泄放输出级电荷, 并使其保持在低电平的状态。PiD6501 可以提供 4A/6A 的拉灌电流能力。

7.3.4. ESD 结构

PiD6501 内部配置了完善的 ESD 结构, 如图 7-2 所示。

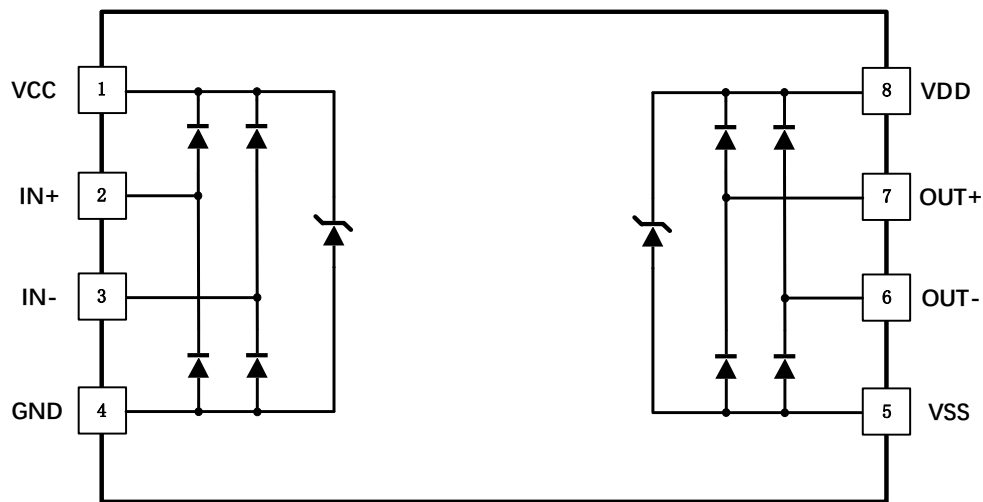


图 7-2 ESD 结构

7.3.5. 内部互锁时间 (Interlock)

PiD6501 内部配置了互锁功能 (Interlock)，该配置旨在确保在应用中避免输入信号死区过小导致的输出重叠所引起的外部器件损坏。该功能的典型应用场景为两个单通道栅极驱动器构成的半桥拓扑，当使用同一组互补的 PWM 信号来控制上下桥驱动器通断时，Interlock 功能将为该拓扑提供一个硬件死区，以确保上下管不会出现直通的情况，如图 7-3 所示。

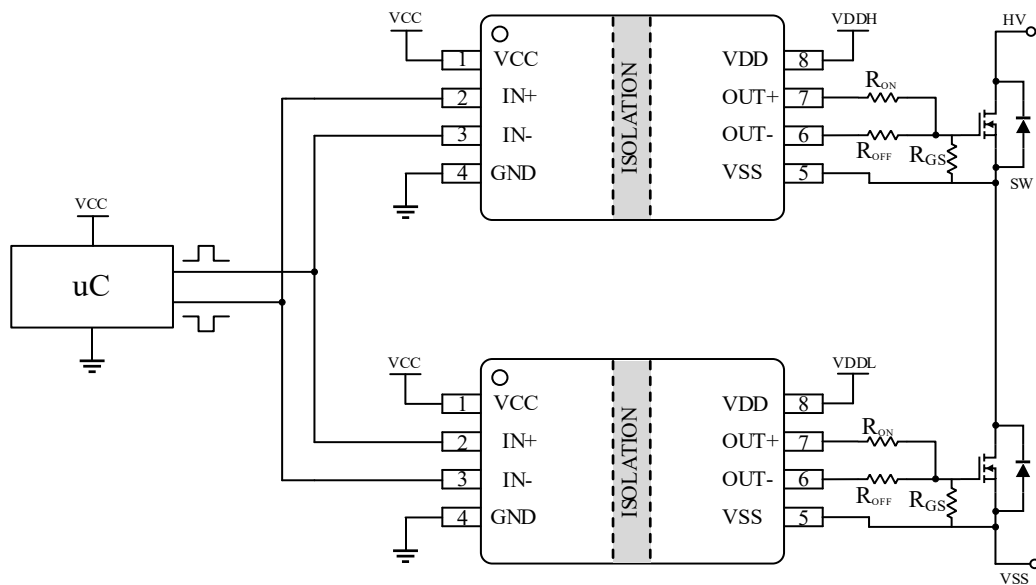


图 7-3 Interlock 功能

8 典型应用参考方案

PiD6501 作为一款高性能的隔离式单通道栅极驱动器，凭借其卓越的隔离性能和驱动能力可被应用于 MOSFET、IGBT、SiC MOSFET 的驱动应用。PiD6501 具有高达 5.5V 的 VCC 和 35V 的 VDD 工作电压，并集成了 UVLO 保护，有源下拉等功能，可助力设计人员为工业、汽车等应用打造更安全，更可靠的应用方案。

8.1. 参考方案原理图

如图 8-1 所示，该参考方案采用了 PiD6501 的典型配置，可用于多种常见的电源转换器拓扑中，例如半桥/全桥隔离式拓扑、电机驱动、同步升压/降压等。

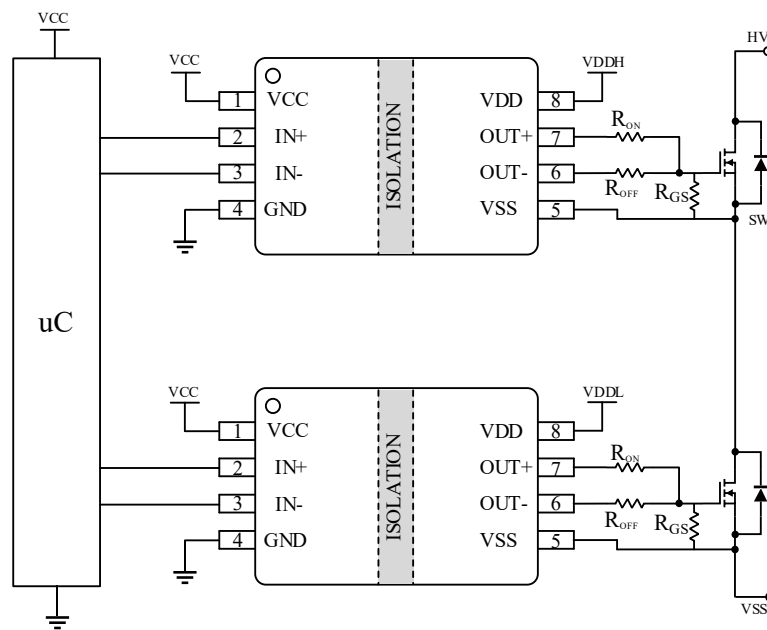


图 8-1 PiD6501 典型应用参考方案原理图

8.2. 外围器件选型建议及应用注意

8.2.1. 输入电容选型

对连接至 VCC 的旁路电容，建议选用低 ESR/ESL 的陶瓷电容尽可能近的贴近芯片引脚放置，对于供电电源与 VCC 距离相对较长的应用，还建议选择 1 μ F 以上的稳压电容并联放置于相对芯片较近的位置以提高芯片电源供电的稳定性。

对连接至 VDD 的旁路电容，则需要分情况进行讨论：

如果采用分别供电的形式，同样建议选用低 ESR/ESL 的陶瓷电容尽可能近的贴近芯片引脚放置，对于供电电源与 VDD 距离相对较长的应用，还建议选择 1 μ F 以上的稳压电容并联放置于相对芯片较近的位置以提高芯片电源供电的稳定性。

如果采用自举电路进行供电：

对于 VDD，需要计算应用中每周期支持后级功率晶体管工作所需的电荷量，并确认每周期内允许的电源电压波动范围，在留有余量的基础上选择合适大小的电容。选定的电容不宜过小，应确保电源电压不会降到芯片 UVLO 阈值以下，也不宜过大，以避免在开始的几个周期时电容无法被有效的充电，进而影响系统工作。另外，可以选择在靠近芯片引脚的位置放置 100nF 左右的陶瓷贴片电容以优化芯片的瞬态性能。

8.2.2. 输入信号滤波器

对于 IN+/IN-信号，如果实际应用中存在较长或者易受干扰的 PCB 走线，建议在 IN+/IN-外围设计 RC 滤波器以滤除可能存在的干扰信号。

对于此类 RC 滤波器，建议使用 0 Ω 至 100 Ω 范围内的 R_{IN} 和 10pF 和 100pF 之间的 C_{IN} 。具体选用的 RC 大小可根据应用中可能存在的干扰频率进行针对性的选择。

8.2.3. 输出电阻选型

输出电阻指串联在芯片输出引脚 OUT+/OUT-至功率晶体管栅极间的电阻 R_{ON}/R_{OFF} 。输出电阻的作用主要在于限制寄生参数引起的干扰以及调整和限制驱动电流大小，调节开关速率。对于实际应用来说，通过计算应用需要的

峰值电流，并选择合适大小的 R_{ON}/R_{OFF} 可以有效的优化开关损耗，并确保不会因开关速度过快而导致过大的电压尖峰引起器件的损坏。

8.2.4. GS 电阻选型

当栅极驱动器芯片未上电并处于不确定的状态时，建议使用栅极至源极电阻器 R_{GS} 将栅极下拉至源极电压。此电阻器还有助于在栅极驱动器能够导通并主动拉至低电平之前，降低米勒电流导致的由 dv/dt 引起的导通风险。该电阻器通常大小介于 $5.1k\Omega$ 和 $20k\Omega$ 之间，具体取决于功率器件的 V_{th} 和 C_{GD} 与 C_{GS} 之比。

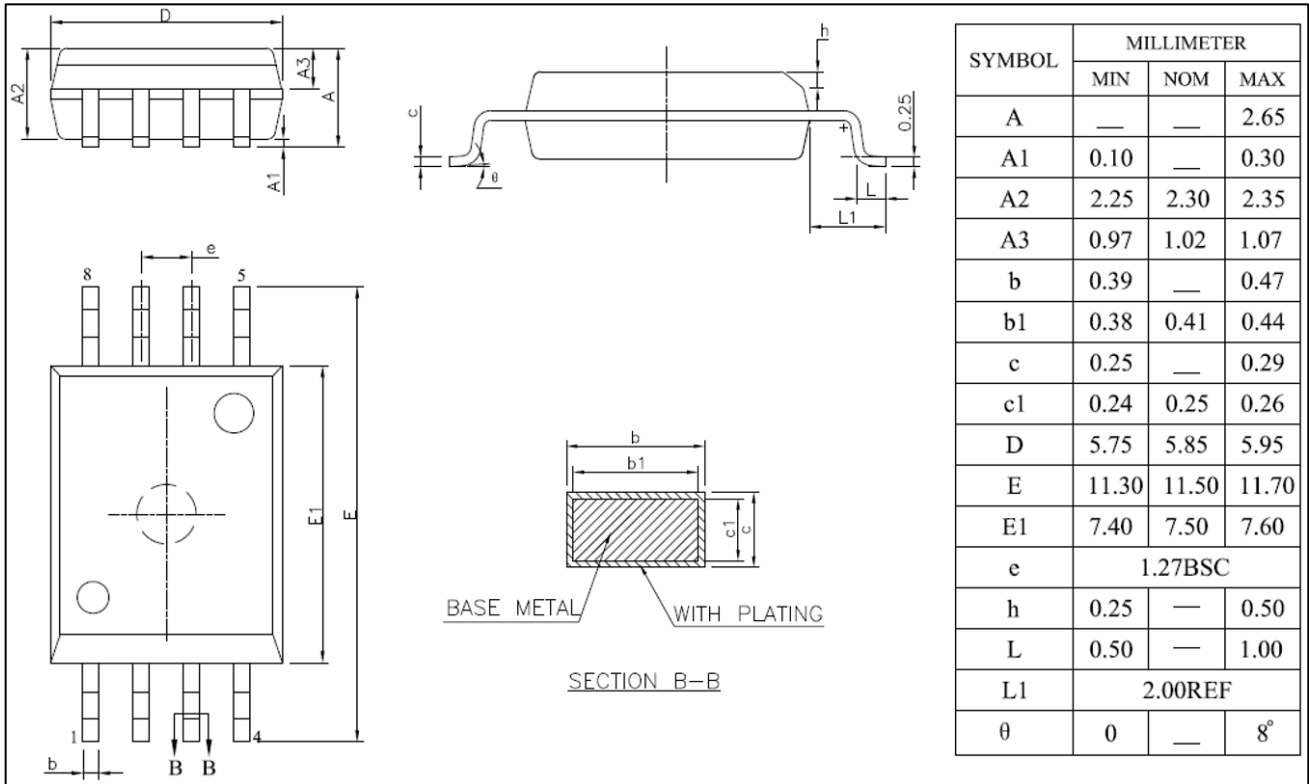
8.2.5. 功率路径处理

大功率应用系统中，有时会因为 PCB 布线或系统控制设计缺陷等导致系统运行异常，甚至功率器件损坏等情况发生。PiD6501 具有较高的耐压范围和优秀的可靠性设计，结合系统合理且优化的设计有利于保证系统安全稳定的工作，降低系统失效率。应用中应根据功率器件的参数合理设置门级电阻值、死区时间，并尽可能减小电源至输出、输出至地环路的寄生电感；电源引脚去耦电容应尽可能靠近芯片电源和地引脚放置，避免过孔，尽可能减小寄生参数；应确保供电电压的稳定、避免电源和输出引脚出现高频纹波或振荡，这样不仅有益于整个系统和功率器件的安全稳定工作，也可提高系统的电磁兼容性能。

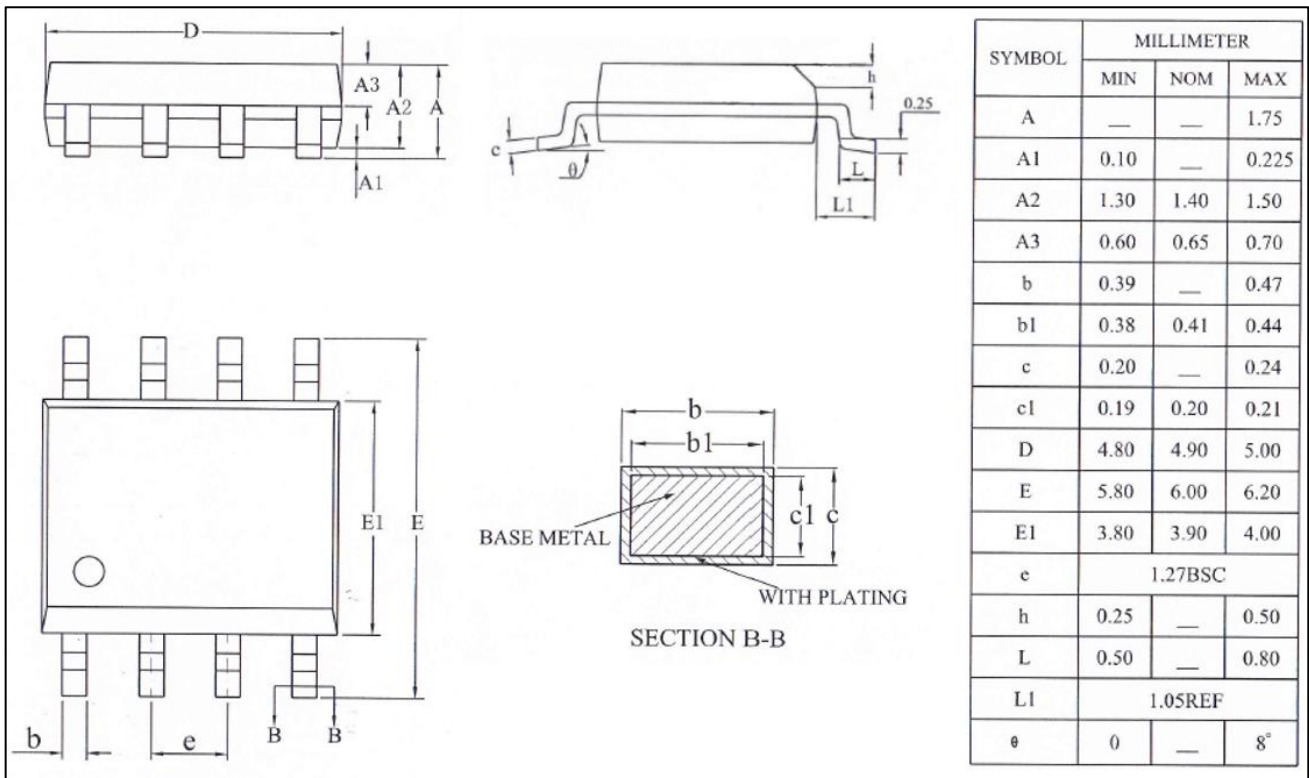
9 封装信息

PiD6501 采用宽体 8PIN 封装 SOW8 和窄体 8PIN 封装 SOP8，具体尺寸信息如下：

SOW8 封装尺寸：



SOP8 封装尺寸：



11 订购信息

可订购型号	UVLO 等级	封装类型	封装尺寸	MSL 等级	器件丝印	包装数量
PiD6501AE	8.5V/8V	SOW8	5.85*7.5mm	MSL3	PiD6501AE	1000
PiD6501BE	12.5V/11.5V	SOW8	5.85*7.5mm	MSL3	PiD6501BE	1000
PiD6501CE	6.0V/5.7V	SOW8	5.85*7.5mm	MSL3	PiD6501CE	1000
PiD6501DE	17.6V/16.6V	SOW8	5.85*7.5mm	MSL3	PiD6501DE	1000
PiD6501AN	8.5V/8V	SOP8	4.9*3.9mm	MSL3	PiD6501AN	2500
PiD6501BN	12.5V/11.5V	SOP8	4.9*3.9mm	MSL3	PiD6501BN	2500
PiD6501CN	6.0V/5.7V	SOP8	4.9*3.9mm	MSL3	PiD6501CN	2500
PiD6501DN	17.6V/16.6V	SOP8	4.9*3.9mm	MSL3	PiD6501DN	2500

重要声明

Powerix 提供的数据手册、设计资源（包括参考设计）、应用或其他设计建议等可能存在纰漏或缺陷。Powerix 明确声明不提供任何明示或暗示的担保或授权，包括但不限于适销性、适用于特定用途或不侵犯第三方知识产权的任何担保。

您对使用 Powerix 的产品和应用及其安全性负全部责任，您应遵守与 Powerix 产品及应用相关的所有法律、法规和要求。

这些资源仅面向使用 Powerix 产品进行设计的熟练开发人员，Powerix 保留对所提供的产品和服务进行更正、修改、更新或其他更改的权利。

Powerix 仅授权您将这些资源用于开发旨在集成 Powerix 产品的相关应用。严禁将这些资源用于其他任何目的，或未经授权复制或展示这些资源。因使用该资源引发的任何索赔、损害、成本及责任，Powerix 概不负责。

对以上所有描述和声明，Powerix 保留最终解释权。

Powerix Microelectronics