

PiD6552/PiD6502 的虚焊保护或 PIN 脚开路保护机制

摘要

PiD6552/PiD6502 是一款具有宽输出侧电源电压范围，宽温度范围，以及可编程死区时间的高可靠性隔离式双通道栅极驱动器。PiD6552/PiD502 拥有独特的虚焊保护机制，当芯片任意引脚出现虚焊问题，或因为系统震动等引起 PIN 脚开路时，芯片会主动进入保护状态停止输出，防止芯片处于不受控状态，进而导致功率 MOS/IGBT/SiC 损坏或“炸机”，从而起到提高系统安全性的作用。

目录

摘要.....	1
目录.....	1
1 简介.....	2
2 虚焊保护.....	2
2.1. 模拟方案概述.....	2
2.2. 电源/地引脚虚焊测试验证.....	2
2.3. 输入引脚虚焊测试验证.....	2
2.3.1. <i>INA/INB</i> 引脚虚焊测试.....	2
2.3.2. <i>DIS</i> 引脚虚焊测试.....	3
2.3.3. <i>DT</i> 引脚虚焊测试.....	4
2.4. 输出引脚虚焊测试验证.....	5
3 总结.....	5

1 简介

PiD6552/PiD6502 是一款具有宽输出侧电源电压范围，宽温度范围，可编程死区时间以及米勒钳位功能的高可靠性隔离式双通道栅极驱动器。其配置了 10A/10A 或 4A/6A 的峰值拉/灌电流的能力以驱动功率 MOSFET、SiC 及 IGBT 等功率器件。作为一款高性能隔离式栅极驱动器，PiD6552/PiD6502 支持通过对 DT PIN 脚的配置来自定义死区时间，或实现双通道/半桥模式的切换。DT 引脚上拉至 VCCI 可以将单芯片配置为具有两个独立通道的隔离驱动，在系统应用中可灵活的作为两个低侧驱动器、两个高侧驱动器、或完全独立的通道使用；DT 引脚通过电子下拉至 GND，又可将单芯片配置为半桥隔离驱动模式，即芯片根据 DT 电阻阻值，保证了 AB 通道最小硬件的死区时间，即使在软件死区失效或 MCU/DSP 时序异常情况下，仍然能避免后级 SiC/IGBT 等功率器件出现直通风险。

PiD6552/PiD6502 内部高隔离耐压的设计，使得输入和输出侧隔离耐压最高达 5kV_{RMS} 以上，共模瞬态抗扰度 (CMTI) 高达 150V/ns。

PiD6552 还集成了双通道米勒钳位功能，为系统控制提供了更多安全保障。

PiD6552/PiD6502 具有 6V 的 VCCI 以及高达 35V 的 VDDA/VDDDB 供电电压范围，并且集成了包括 UVLO、使能控制、可编程死区时间、有源钳位、米勒钳位等多项保护功能，支持设计人员为工业、汽车、服务器电源、通信电源等应用领域打造更安全，更高效的设计。

PiD6552/PiD6502 还配置了独有的虚焊保护功能，本文档将对该功能进行介绍。

2 虚焊保护

2.1. 模拟方案概述

为验证 PiD6552/PiD6502 的虚焊保护功能，本文档将对 PiD6552 的每一个引脚逐一做开路模拟虚焊实验，验证并记录芯片遭遇虚焊时实际的输出状态。

PiD6552 的引脚类型分为三种，分别是：

- 1, 电源/地引脚：包括原边供电引脚 VCC，副边供电引脚 VDDA、VDDDB。原边接地 GND，副边接地 VSSA、VSSB。
- 2, 输入引脚：包括 INA、INB、DIS、DT 等功能引脚。
- 3, 输出引脚：包括 A/B 通道输出引脚 OUTA、OUTB。

下述小节将对这些引脚分别进行测试验证其虚焊时的芯片状态。

2.2. 电源/地引脚虚焊测试验证

当电源/地引脚发生虚焊时，芯片失去供电无法正常工作，虚焊问题自然会暴露出来。而且 PiD6552 原边 VCC 配置了两个 PIN 脚，两个 PIN 脚同时虚焊的概率相对较小，暂不讨论。

2.3. 输入引脚虚焊测试验证

PiD6552 的输入引脚包括 INA、INB、DIS、DT 四个引脚。

对以上四个 PIN 脚分别做虚焊测试验证，具体如下所述。

2.3.1. INA/INB 引脚虚焊测试

正常 INA/INB 引脚没有虚焊时，芯片输出将受输入引脚控制，如图 2-1 所示。当 INA/INB 出现虚焊时，芯片输入

引脚因虚焊无法接收到前级传来的控制信号，芯片内部检测到无信号输入，会控制芯片输出拉低，防止功率器件误动作，如图 2-2，图 2-3 所示。



图 2-1 INA/INB 未虚焊时正常波形



图 2-2 INA 虚焊时波形



图 2-3 INB 虚焊时波形

2.3.2. DIS 引脚虚焊测试

正常 DIS 引脚没有虚焊时，芯片输出使能将受 DIS 引脚接收到的前级信号控制，当控制信号为低电平时使能芯片输出，如图 2-4 所示。当 DIS 引脚出现虚焊时，芯片内部会检测到 DIS 引脚无法接收到前级传来的控制信号，禁用芯片所有输出，如图 2-5 所示。



图 2-4 DIS 未虚焊时波形 (INA=INB=0-5V PWM)



图 2-5 DIS 虚焊时波形 (INA=INB=0-5V PWM)

2.3.3. DT 引脚虚焊测试

正常 DT 引脚没有虚焊时，会根据 DT 引脚外接的电路状态设定芯片输出的死区时间，当 DT 外接到 VCC 时，芯片死区时间被禁用，芯片输出完全跟随输入，如图 2-6 所示；当 DT 外接电阻到 GND 时，则根据电阻大小调节死区时间，如图 2-7 所示。当 DT 引脚虚焊或开路时，会触发芯片内置的 DT 开路保护功能，禁用芯片输出，确保不会有不受死区控制的输出出现，如图 2-8 所示。



图 2-7 DT 接 VCC 时正常波形，INA=/INB=PWM，无死区时间



图 2-8 DT 接 R 到 GND 时正常波形，INA=/INB=PWM，有死区时间



图 2-8 DT 引脚虚焊时异常波形，INA=INB=PWM

2.4. 输出引脚虚焊测试验证

当输出 OUT 引脚发生虚焊时，芯片连接到后级功率管的回路被切断，虚焊问题会明显暴露出来。输出 CLAMP 引脚是可选用引脚。

3 总结

PiD6552/PiD6502 内置了引脚的虚焊或开路保护功能，进一步提升了芯片在产线及使用过程中的可靠性，为更安全，更安心的应用保驾护航。更多细节欢迎[联系 Powerix 公司 FAE 团队](#)。

重要声明

POWERIX 提供的数据库、设计资源（包括参考设计）、应用或其他设计建议等可能存在纰漏或缺陷。POWERIX 明确声明不提供任何明示或暗示的担保或授权，包括但不限于适销性、适用于特定用途或不侵犯第三方知识产权的任何担保。

您对使用 POWERIX 的产品和应用及其安全性负全部责任，您应遵守与 POWERIX 产品及应用相关的所有法律、法规和要求。

这些资源仅面向使用 POWERIX 产品进行设计的熟练开发人员，POWERIX 保留对所提供的产品和服务进行更正、修改、更新或其他更改的权利。

POWERIX 仅授权您将这些资源用于开发旨在集成 POWERIX 产品的相关应用。严禁将这些资源用于其他任何目的，或未经授权复制或展示这些资源。因使用该资源引发的任何索赔、损害、成本及责任，POWERIX 概不负责。

对以上所有描述和声明，POWERIX 保留最终解释权。

Powerix Microelectronics (Shanghai) CO. LTD