

如何在应用中充分发挥 PiD6501 的性能优势

——隔离驱动系统设计优化参考

摘要

PiD6501 是一款具有宽输出侧电源电压范围，宽温度范围，以及分离输出的高可靠性隔离式单通道栅极驱动器。PiD65xx 系列产品针对功率系统应用特点，集成了独特的细节优化设计，为了发挥 PiD6501 的优势，本应用文档介绍了使用 PiD6501 进行方案开发时，如何通过系统级电路设计及 PCB 设计来优化整个系统方案。为更好的帮助用户使用 PiD6501，Powerix 建议用户在使用 PiD6501 前先仔细阅读 PiD6501 的数据手册，并通过本应用文档详细了解 PiD6501 应用外围电路的配置方式。本应用文档详细介绍了 PiD6501 的典型应用、PCB 注意事项、外围电路器件配置及器件选型等，供用户根据自身系统特点，选择性参考本应用文档，以发挥系统级产品的整体优势。

目录

摘要.....	1
目录.....	1
1 简介.....	2
2 典型应用参考方案.....	2
2.1. 方案概述.....	2
2.2. 参考方案原理图.....	2
3 方案详解及应用建议.....	2
3.1. 供电部分详解及应用建议.....	3
3.1.1. 原边供电 VCC.....	3
3.1.2. 副边供电 VDD.....	4
3.2. 输入信号部分详解及应用建议.....	7
3.3. 驱动器输出部分详解及应用建议.....	9
3.4. 隔离驱动系统应用整体考虑及小结.....	10
4 总结.....	11

1 简介

PiD6501 是一款具有宽输出侧电源电压范围，宽温度范围，以及分离输出的高可靠性隔离式单通道栅极驱动器。其配置了 4A 峰值拉电流及 6A 峰值灌电流的能力以驱动功率 MOSFET、SiC 及 IGBT 等功率器件。作为一款高性能隔离式栅极驱动器，PiD6501 内置了 Interlock 保护功能，当两颗单通道芯片作为半桥架构使用时，芯片会提供一个固定的死区时间，即使在软件死区失效或 MCU/DSP 时序异常情况下，仍然能避免后级 SiC/IGBT 等功率器件出现直通风险。

PiD6501 可提供不同爬电距离的封装，其内部高隔离耐压的设计，使得输入和输出侧隔离耐压最高达 $5kV_{RMS}$ 以上，共模瞬态抗扰度 (CMTI) 高达 150V/ns。

PiD6501 具有 6V 的 VCC 以及高达 35V 的 VDD 供电电压范围，并且集成了包括 UVLO、有源钳位等多项保护功能，支持设计人员为工业、汽车、服务器电源、通信电源等应用领域打造更安全，更高效的设计。

2 典型应用参考方案

2.1. 方案概述

PiD6501 作为一款高性能的隔离式单通道栅极驱动器，凭借其卓越的隔离性能和驱动能力被应用于 MOSFET、IGBT、SiC MOSFET 的高边、低边、高/低边或者半桥驱动应用中。本文档将围绕其应用最为广泛的半桥驱动应用方案展开，以功能模块为基准，逐一详细介绍 PiD6501 的应用建议以及其对应的 PCB 布局布线优化参考。

2.2. 参考方案原理图

PiD6501 典型半桥驱动应用方案的参考电路如图 2-1 所示。该应用方案可用于多种常见的电源转换器拓扑中，例如半桥/全桥隔离式拓扑、电机驱动、同步升压/降压等。

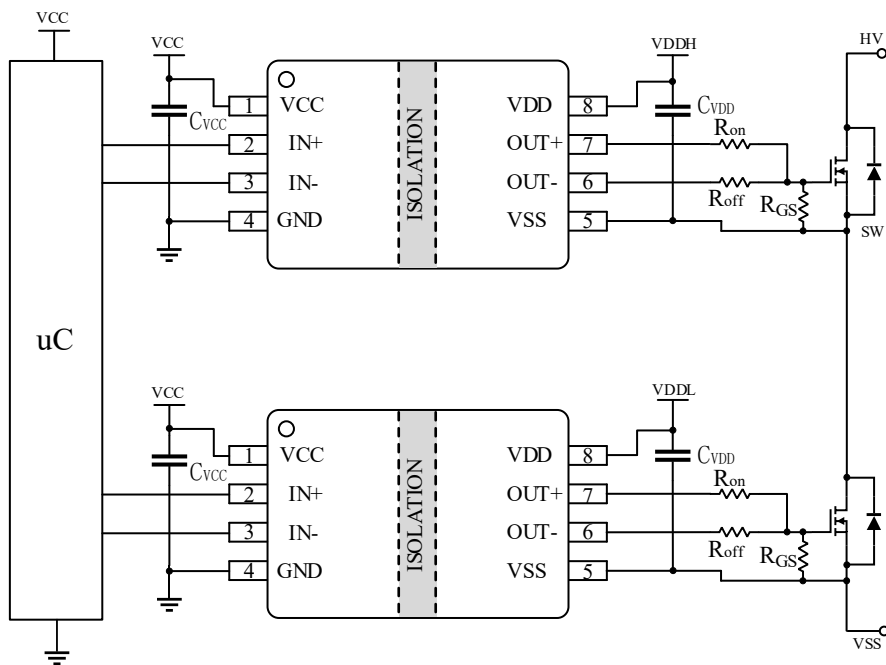


图 2-1 PiD6501 典型应用参考方案

3 方案详解及应用建议

PiD6501 的典型半桥驱动应用从功能上主要分为：供电部分、输入信号部分、以及驱动器输出部分。本节将对以

上三个部分逐一进行详解，并提供一些重点值得关注的建议供您参考。

3.1. 供电部分详解及应用建议

PiD6501 典型半桥应用方案的供电部分包括：原边供电 VCC，副边供电 VDD。

3.1.1. 原边供电 VCC

原边供电 VCC 用于提供芯片输入侧工作所需的电压和电流。VCC 可以支持高达 6V 的供电电压，典型应用中一般选用 3.3V 或者 5V 作为 VCC 供电电压。需要注意，系统设计时输入侧其他信号的高电平电压应与 VCC 电压保持一致，以发挥芯片对输入噪声和干扰的抵抗能力，提高可靠性。例如，当 IN+/IN- 需要使用 0-5V 的 PWM 信号作为输入信号时，供电电压 VCC 也应相应地使用 5V 而非 3.3V；同理当 VCC 供电电压为 5V 时，IN+/IN- 等信号的高电平也应为 5V 而非 3.3V。

实际应用中，往往因为空间及布线问题，电源部分到芯片供电引脚会经历较长的走线。当系统中存在电流变化或者干扰信号时，这部分走线上的阻抗和寄生电感会引起芯片 VCC 供电电压的波动，并且其频率分量丰富，其波动很容易随着系统电路的走线传导到其他系统部分，引发系统工作异常或抗干扰能力降低等。

所以为了避免供电部分受到干扰，通常建议在 VCC-GND 配置去耦电容 C_{VCC} ，结合 PiD6501 对高频波动的抑制能力，来降低干扰信号对整个系统的影响，如图 3-1 所示。

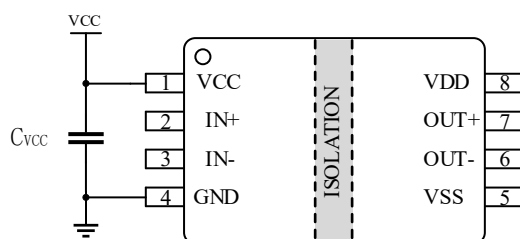


图 3-1 PiD6501 VCC 供电部分配置

在配置 C_{VCC} 时，需要注意以下几点：

- 1, 容值。由于实际电容器的频率响应与容值等关联密切，为了更好的滤除高频干扰信号， C_{VCC} 的容值通常选择几十 nF 至几百 nF，如 51nF-220nF 的电容作为去耦电容使用，实际容值应根据系统的设计及实际干扰的频率来选定，欢迎联系 Powerix FAE 团队进行支持和讨论。
- 2, 封装形式。去耦电容需要选用低 ESR/ESL 的贴片陶瓷电容，避免使用直插式的陶瓷电容或者电解电容。
- 3, 放置位置。去耦电容应尽可能近的放置于芯片同侧靠近供电引脚的地方，从去耦电容到芯片引脚的走线尽可能的短和粗，同时避免通过过孔连接至芯片引脚。在驱动芯片局部 PCB 布局时，可优先确保去耦电容的位置和走线，以优化系统布局及系统性能。
- 4, 对于供电电源部分到 VCC 引脚距离相对较长的应用，还建议选择 1uF 以上的稳压电容与去耦电容并联放置于相对芯片较近的位置，以进一步提高芯片电源供电的稳定性。PCB 布局时应优先小容值的去耦电容靠近引脚放置，其布局方式可参考图 3-2 所示的布局关系进行。

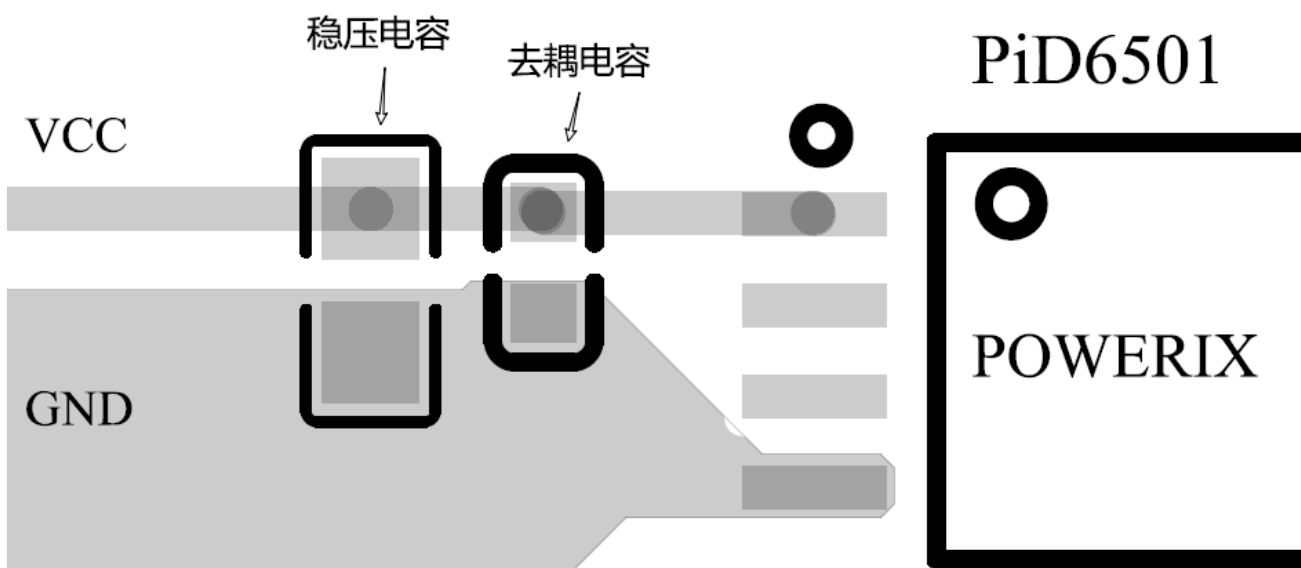


图 3-2 PiD6501 VCC 供电部分 Layout 建议

图 3-3 展示了 PiD6501 VCC 供电部分接去耦电容前后的波形对比，可见电源信号质量的差异。

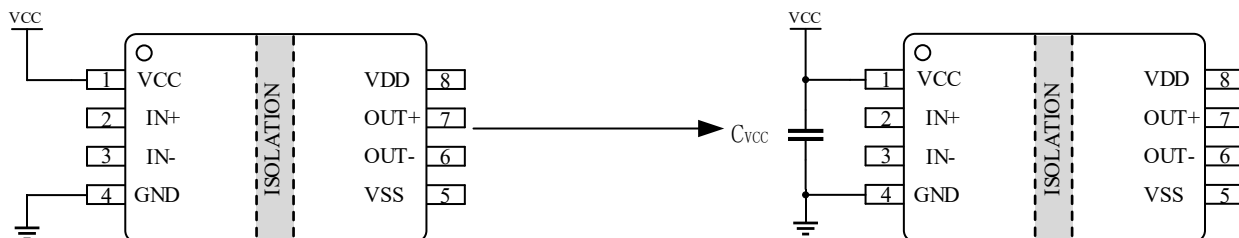
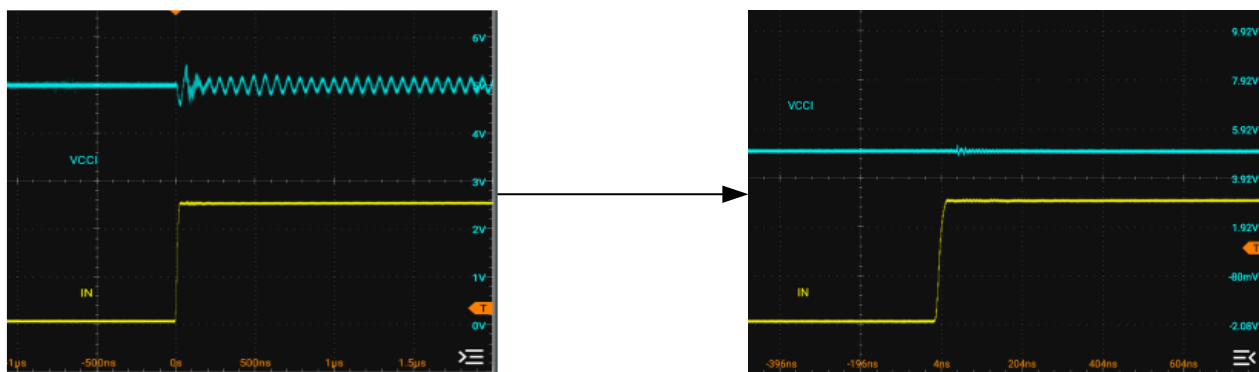


图 3-3 PiD6501 VCC 供电部分接去耦电容前后对比波形

3.1.2. 副边供电 VDD

副边供电 VDD 一方面用于提供芯片输出侧工作所需的电压和电流，另一方面也提供用于驱动后级 MOS/SiC/IGBT 的电压和电流。VDD 支持的最大电压高达 35V，实际应用中的供电电压应结合系统设计方案、功率管等选定，一

一般为 8~24V 不等。

实际应用中，与原边供电 VCC 类似的，也需要在 VDD-VSS 间配置 51nF-220nF 的去耦电容，以避免芯片供电受到干扰导致的工作异常。

对于 VDD，需要特别注意，由于 VDD 不仅要为芯片输出侧工作提供电流，还需要在驱动器工作时向后级功率管的门极提供能量以达到开关功率管的目的。这也就意味着芯片在输出切换的瞬间需要从 VDD 拉取一个瞬间的大电流，如果此时从 VDD 到系统电源中间的走线过长，且去耦电容的容值不足以支撑门极瞬间需求的能量的话，走线上较大的阻抗和寄生电感会导致芯片 VDD 有瞬间的跌落，这对芯片来说是危险的。因此在 VDD-VSS 间不单要配置去耦电容，还应配置相对后级功率管的等效门极电容来说足够大的稳压电容，以确保副边供电的稳定。

在选择副边供电稳压电容时，还需结合供电方式进行选定。

典型半桥应用中，两个通道 A/B 是相互独立的，如果采用两路独立的电源分别为上下桥 PiD6501 驱动芯片的 VDD 供电，则两路稳压电容可选用相同的大小，通常选择 2.2uF-10uF 或更大容值作为稳压电容使用，如图 3-4 所示。

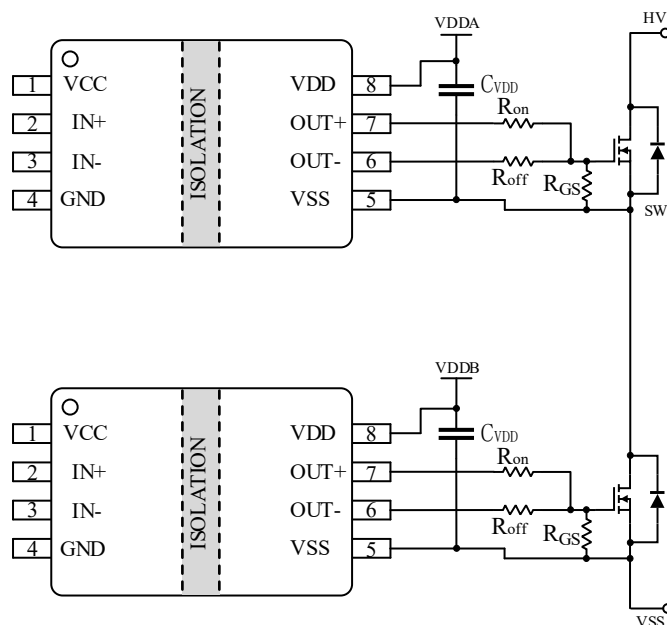


图 3-4 PiD6501 半桥应用 VDD 供电部分 双独立电源供电

如果采用单电源，通过自举的方式向 VDDA/VDDB 供电，则需要注意：

对于上桥供电 VDDA，需要计算应用中每周期支持后级功率晶体管工作所需的电荷量，并确认每周期内允许的电源电压波动范围，在留有余量的基础上选择合适大小的电容。选定的电容不宜过小，应确保电源电压在每个周期内足够稳定，更不会出现电压跌落触发 UVLO 保护；应结合系统情况确定电容值是否不宜过大，以避免在启动时电容无法被有效的充电，进而影响系统工作。

对于下桥供电 VDDB，其外部电容一方面需要供给 VDDB，另一方面还需要通过自举二极管向 VDDA 供电，所以需要相应的选择较大的电容，一般建议选用容值在 10uF 或以上的电容放置在距离芯片较近的位置，且需要确保 C_{VDDB} 和 C_{VDDA} 满足上电时序，以确保 VDDA 和 VDDB 的稳定，如图 3-5 所示。

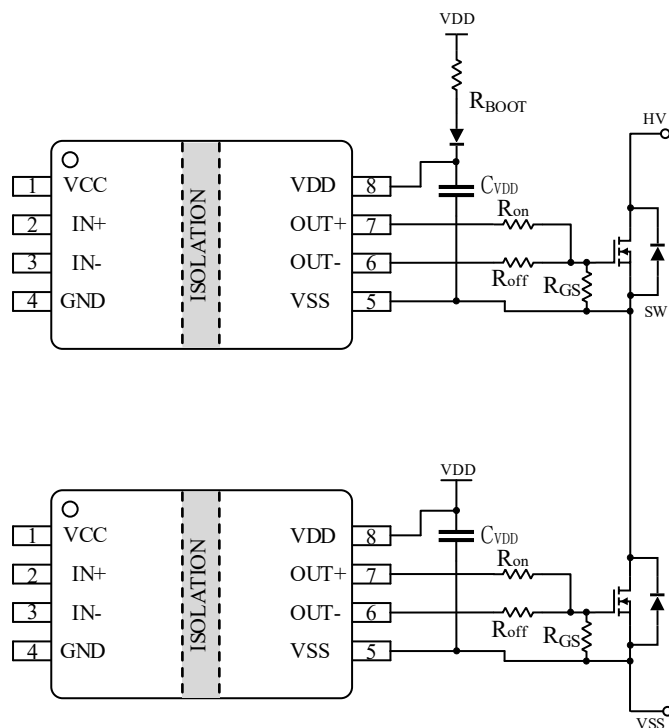


图 3-5 PiD6501 半桥应用 VDD 供电部分 单电源自举供电

关于 VDD 去耦及稳压电容的配置注意事项，可参考 3.1.1 节中对 VCC 电容的配置要求，这里不再赘述，图 3-6 展示了 PiD6501 VDD 供电部分的 PCB 布局布线建议。

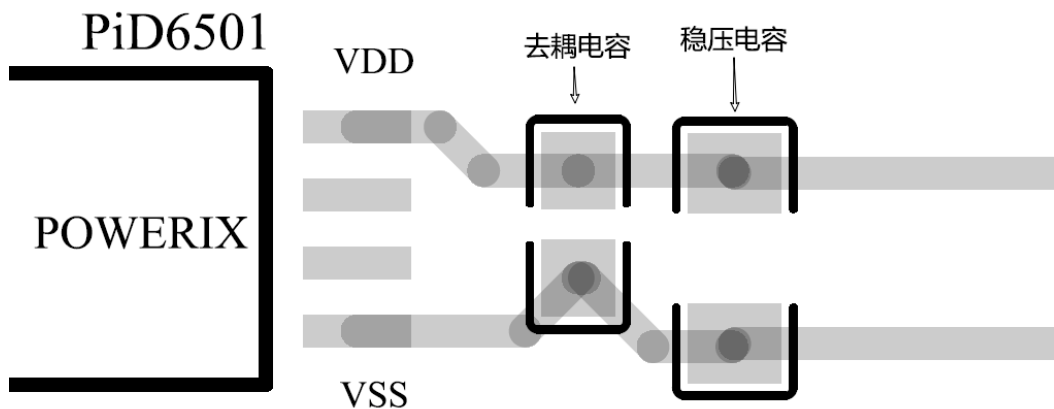


图 3-6 PiD6501 VDD 供电部分 Layout 建议

图 3-7 展示了 PiD6501 VDD 供电部分接去耦及稳压电容前后的波形对比。

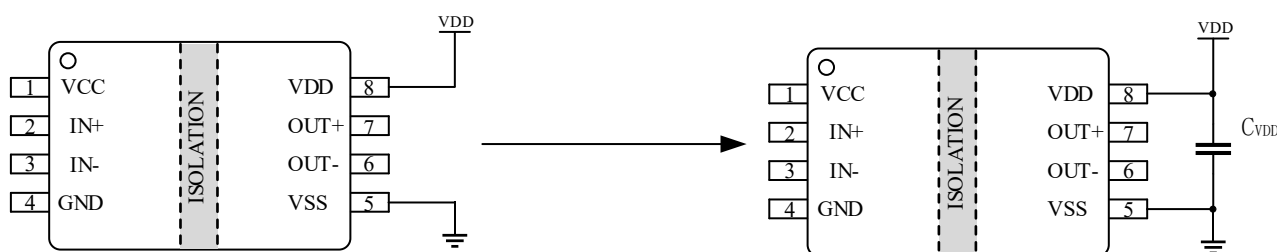
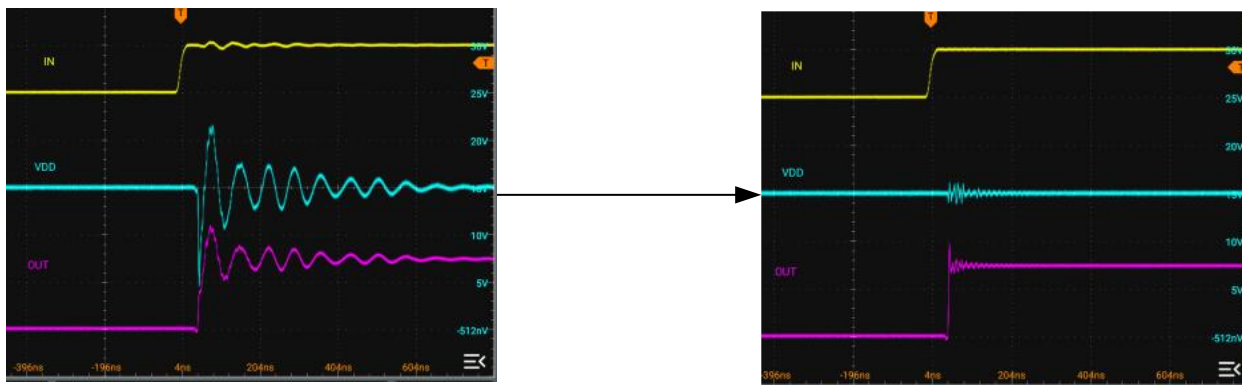


图 3-7 PiD6501 VDD 供电部分接去耦及稳压电容前后对比波形

3.2. 输入信号部分详解及应用建议

PiD6501 的输入信号部分包括：正向控制输入信号 IN+，反向控制输入信号 IN-。

典型半桥应用中，IN+/IN-前级通常接到 MCU 的 I/O 口，由 MCU 输出的互补 PWM 信号控制。如 3.1 节中所述，IN+/IN-的电压范围应与芯片 VCC 供电电压保持一致。

实际应用中，从 MCU 连接至 IN+/IN-同样可能存在较长的走线。当 IN+/IN-走线较长，甚至会经历一些功率路径时，其可能受到系统干扰的影响，从而导致芯片接收到的输入信号波形相比 MCU 输出的波形来说不够理想。

为解决这种输入信号不够理想的情况，可以考虑在 IN+/IN-外围设计 RC 低通滤波器，以消除系统干扰对输入信号的影响。如图 3-8 所示。

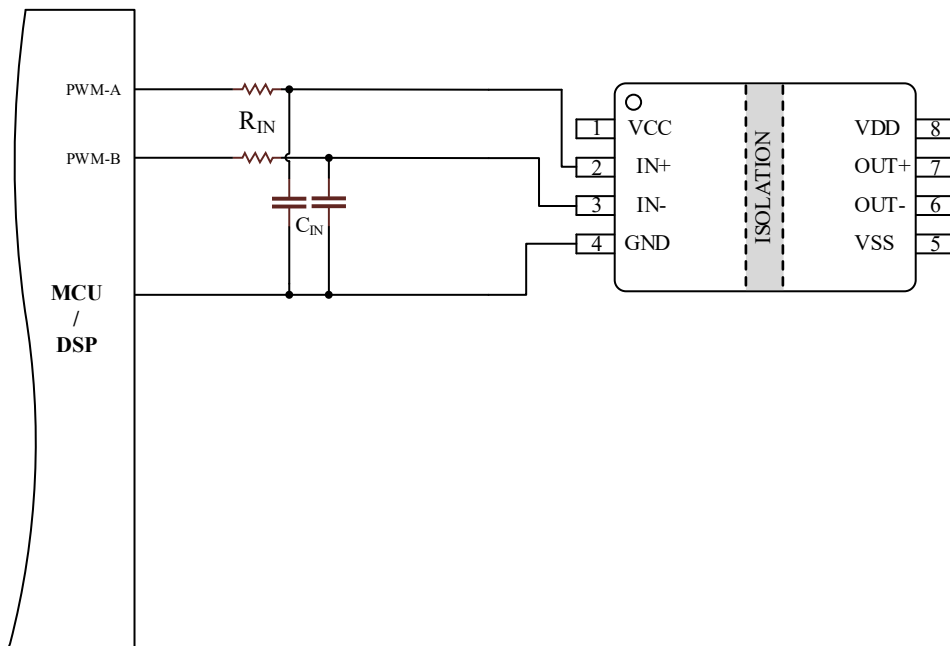


图 3-8 PiD6501 IN+/IN-输入信号部分配置

图中，对 IN+/IN-分别有一组 R_{IN} 和 C_{IN} 组成了 RC 滤波器。

对其中 R_{IN} 的选择需要注意，芯片 IN+/IN-内部均配置了典型值为~90kOhm 的对 GND 下拉电阻，以确保芯片在默认情况下保持为低电平。所以在选用 R_{IN} 时阻值不宜过大，避免和内部电阻产生分压从而导致芯片接收到的输入信号与实际输入信号产生压差。

对其中 C_{IN} 的选择需要注意，实际应用中，前级用于提供 IN+/IN-信号的芯片往往驱动能力有限，且路径中 R_{IN} 的存在也可能进一步限制其能提供的驱动电流，所以 C_{IN} 的存在会一定程度上减缓输入信号的边沿速度， C_{IN} 越大则边沿速度越慢。因此 C_{IN} 的选用也不宜过大，避免造成输入信号的失真。

通常情况下，对于此类 RC 滤波器，建议使用 0Ω 至 100Ω 范围内的 R_{IN} 和 $10pF$ 和 $100pF$ 之间的 C_{IN} 。具体选用的 RC 大小可根据应用中可能存在的干扰频率进行针对性的调整。

在典型半桥应用中，常常会有两颗 PiD6501 通过同一组信号做交叉控制从而实现上下桥交替导通的设计，PiD6501 针对这类应用需求在输入侧内置了 Interlock 功能，当两颗 PiD6501 组成如图 3-9 所示的应用电路时，芯片会启动一个内置的死区时间，以确保在输入信号互补或者存在交叠时，输出信号仍保持有一个最低限度的死区时间，以避免可能出现的功率管直通带来的问题。

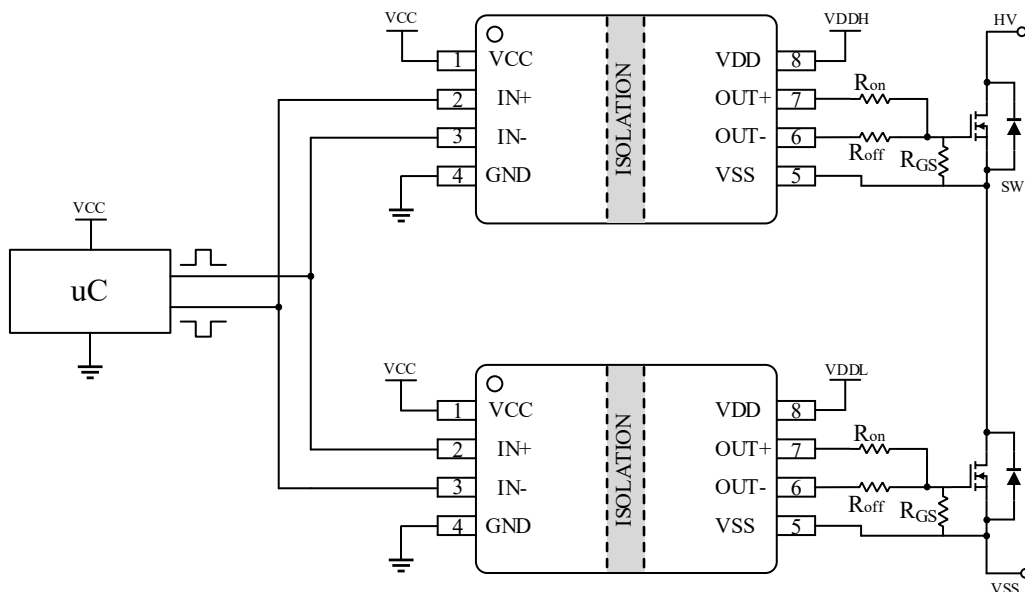


图 3-9 PiD6501 Interlock 功能应用图

3.3. 驱动器输出部分详解及应用建议

PiD6501 的输出信号部分包括：正向输出信号 OUT+，反向输出信号 OUT-。

典型半桥应用中，驱动器输出 OUT+/OUT-接入后级功率管的栅极，用于驱动半桥的其中一个桥臂，PiD6501 提供 4A 的上拉峰值电流能力以及 6A 的下拉峰值电流能力。

实际应用中，由于不同系统中选用的功率管有区别，且不同的系统中需要的参数也不尽相同，所以需要在驱动器输出引脚到功率管栅极之间加入用于调节峰值电流和边沿速度的驱动电阻 R，PiD6501 采用的分离输出结构可供使用者便捷的调整开通关断边沿速度，相比单输出结构省去了串联用的二极管，进一步优化了系统的结构及成本。另外，还可以考虑在功率管的栅源极之间加入高阻值电阻 RGS，如图 3-10 所示。

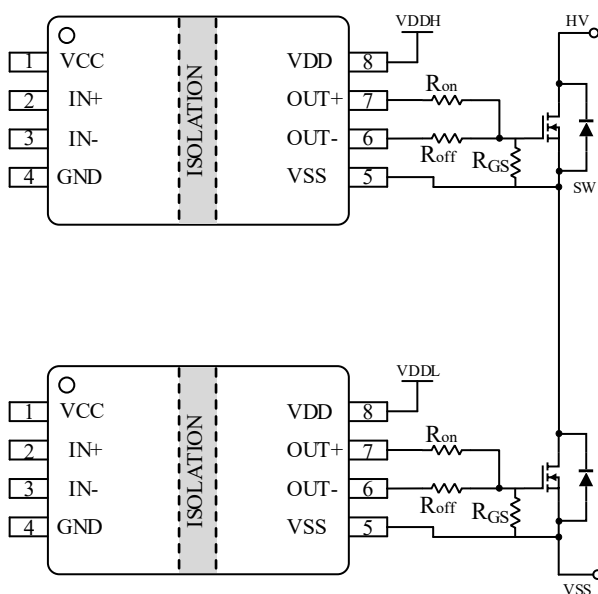


图 3-10 PiD6501 驱动器输出部分配置

图中，RON 用于调节输出上升沿边沿速度和限制上升沿电流峰值，ROFF 用于调节下降沿边沿速度和限制下降沿电流峰值。对 RON/ROFF 的选择需要注意，在驱动器开关切换过程中，驱动电阻的存在会一定程度上造成功率损耗，开关频率越高，则相同阻值下功率损耗越大，所以在选择 RON/ROFF 时需要综合考虑系统需求，另外还需考虑 RON/ROFF 器件自身可承受的功率上限和散热性能，建议通过计算选用合适的封装以避免出现驱动电阻损坏的情况。RGS 通常选用 10kOhm 或更大的电阻，避免其造成过多的功率损耗和电流能力损失。

3.4. 隔离驱动系统应用整体考虑及小结

通过上述介绍，我们详细了解了 PiD6501 典型半桥驱动方案每部分电路的设计思路和选型要点，本小结将从隔离驱动系统应用整体设计的角度提供设计建议。

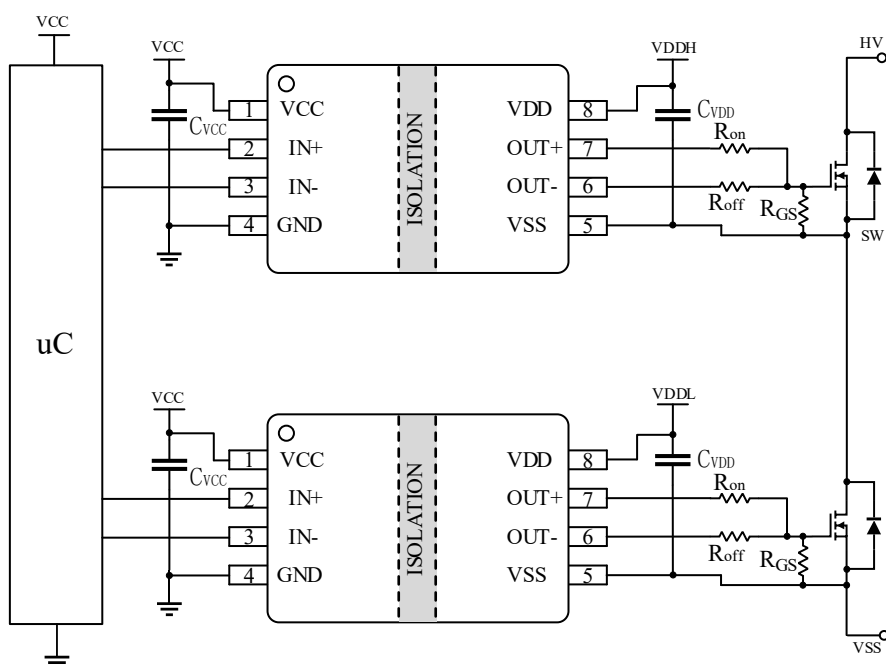


图 3-11 PiD6501 典型半桥应用参考方案

隔离驱动芯片的系统应用，亦可以从如下角度进行考虑：

1. 避免其受到系统中其他信号干扰的影响。
2. 利用芯片的独特设计和系统设计及布局的优化，改善系统的 EMC 特性。

避免其受到系统中其他信号干扰的影响：在前述 3.1-3.3 小节中，结合了芯片的内部设计，介绍了 PiD6501 相关的配置，对于整个系统的设计，系统中干扰的来源往往相对复杂，可能造成系统干扰的主要来源包括：高频信号、大电流功率路径、信号翻转时产生的过冲和震荡等等。这些干扰往往会通过电源或者地线传导至系统的其他电路中从而造成工作异常。

因此，对于隔离驱动方案整体而言，首先需要确保电源的稳定，即 VCC-GND, VDD-VSS 两处电源的稳定，电源供电的稳定是避免芯片受系统干扰的关键因素之一。为此，需要参照 3.1 小节中的去耦电容选择和 PCB 布局布线方式。

其次，对于输入侧的各输入信号：IN+, IN-, PCB 布局布线时应尽量避免长走线，走线路径应避免穿越功率回路，必要时可通过添加屏蔽层等方式保护信号不受干扰影响。另外需要注意，各输入信号的参考地应与芯片的 GND 保持良好的连接，避免因为地线过长而导致芯片接收到的信号和实际信号匹配不理想。

利用芯片的独特设计和系统设计及布局的优化，改善系统的 EMC 特性：如前面 3.1-3.3 小节中所述，功率驱动系

统可能向外辐射干扰的地方包括：功率器件翻转时产生的电压过冲及振荡，对功率器件栅极充电而形成的功率回路等。

PiD6501 专为功率器件栅极翻转时产生的电压过冲做了特殊设计，大幅减小了过冲的幅度，很大程度上优化了方案自身的 EMI 性能，再配合外部驱动电阻的选择，可以在满足系统需求的同时降低产生的系统干扰。

另外系统设计时需要考虑隔离驱动芯片输入侧和输出侧的电气隔离，PCB 布局时应留有足够的爬电距离，避免走线横跨输入侧和输出侧；在半桥应用中，也应考虑不同通道之间的电气隔离。

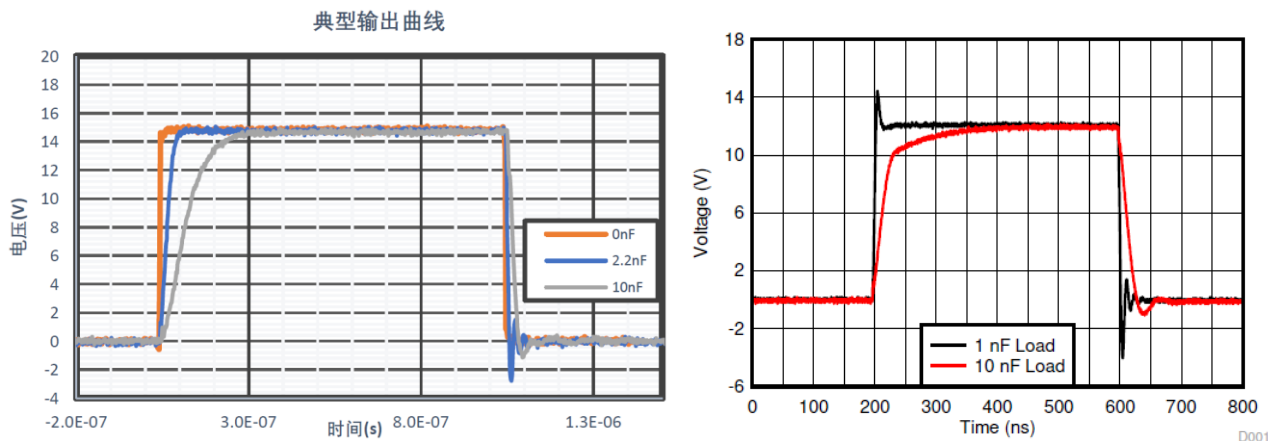


图 3-12 PiD6501 与其他隔离驱动波形对比

4 总结

功率系统的设计与芯片的性能、系统设计、系统 PCB 布局布线等都息息相关，要设计出成本及性能优秀的功率系统需要优秀的芯片性能、反复打磨的细节考虑、功率路径的优化等，PiD6501 芯片内部为功率系统的性能提升内置了多种独特设计，如芯片的 Floating 保护等功能和特性，可以有效降低产品失效率，并提高问题追溯和工艺问题定位及改进的效率，降低系统开发成本和维护成本。更多细节欢迎[联系 Powerix 公司 FAE 团队](#)。

重要声明

POWERIX 提供的数据手册、设计资源（包括参考设计）、应用或其他设计建议等可能存在纰漏或缺陷。POWERIX 明确声明不提供任何明示或暗示的担保或授权，包括但不限于适销性、适用于特定用途或不侵犯第三方知识产权的任何担保。

您对使用 POWERIX 的产品和应用及其安全性负全部责任，您应遵守与 POWERIX 产品及应用相关的所有法律、法规和要求。

这些资源仅面向使用 POWERIX 产品进行设计的熟练开发人员，POWERIX 保留对所提供的产品和服务进行更正、修改、更新或其他更改的权利。

POWERIX 仅授权您将这些资源用于开发旨在集成 POWERIX 产品的相关应用。严禁将这些资源用于其他任何目的，或未经授权复制或展示这些资源。因使用该资源引发的任何索赔、损害、成本及责任，POWERIX 概不负责。

对以上所有描述和声明，POWERIX 保留最终解释权。

Powerix Microelectronics (Shanghai) CO. LTD